



UNIVERSIDADE FEDERAL DO AMAZONAS

FACULDADE DE ENGENHARIA ELÉTRICA E DA COMPUTAÇÃO

PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

MODULADOR SIGMA-DELTA COM PROCESSAMENTO

PSEUDO-PARALELO EM TECNOLOGIA CMOS 130 NM PARA APLICAÇÃO

EM SINAIS DE REDE 5G NR

Manaus

Março de 2026



UNIVERSIDADE FEDERAL DO AMAZONAS
FACULDADE DE ENGENHARIA ELÉTRICA E DA COMPUTAÇÃO
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

MODULADOR SIGMA-DELTA COM PROCESSAMENTO
PSEUDO-PARALELO EM TECNOLOGIA CMOS 130 NM PARA APLICAÇÃO
EM SINAIS DE REDE 5G NR

André Felipe Feitosa de Souza

Dissertação de Mestrado apresentada ao
Programa de Pós-Graduação em Engenharia
Elétrica, PPGEE, da Universidade Federal
do Amazonas, como parte dos requisitos
necessários à obtenção do título de Mestre
em Engenharia Elétrica.

Orientador: Thiago Brito Bezerra

Manaus
Março de 2026

Ficha Catalográfica

Elaborada automaticamente de acordo com os dados fornecidos pelo(a) autor(a).

S729m Souza, André Felipe Feitosa de
Modulador sigma-delta com processamento pseudo-paralelo em tecnologia CMOS 130 nm para aplicação em sinais de rede 5G NR / André Felipe Feitosa de Souza. - 2026.
86 f. : il., color. ; 31 cm.

Orientador(a): Thiago Brito Bezerra.
Dissertação (mestrado) - Universidade Federal do Amazonas, Programa de Pós-Graduação em Engenharia Elétrica, Manaus, 2026.

1. modulador sigma-delta. 2. 5G NR. 3. OFDMA. 4. PDSM. 5. CMOS. I. Bezerra, Thiago Brito. II. Universidade Federal do Amazonas. Programa de Pós-Graduação em Engenharia Elétrica. III. Título



Ministério da Educação
Universidade Federal do Amazonas
Coordenação do Programa de Pós-Graduação em Engenharia Elétrica

FOLHA DE APROVAÇÃO

Poder Executivo Ministério da Educação
Universidade Federal do Amazonas
Faculdade de Tecnologia
Programa de Pós-graduação em Engenharia Elétrica

Pós-Graduação em Engenharia Elétrica. Av. General Rodrigo Octávio Jordão Ramos, nº 3.000 - Campus Universitário, Setor Norte - Coroado, Pavilhão do CETELI. Fone/Fax (92) 99271-8954 Ramal:2607. E-mail: ppgee@ufam.edu.br

ANDRÉ FELIPE FEITOSA DE SOUZA

MODULADOR SIGMA DELTA COM PROCESSAMENTO PSEUDOPARALELO EM TECNOLOGIA CMOS 130NM PARA APLICAÇÃO EM SINAIS DE REDE 5G NR

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Amazonas, como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica na área de concentração Sistemas Inteligentes e Microeletrônica.

Aprovado em 27 de março de 2026.

BANCA EXAMINADORA

Prof. Dr. Thiago Brito Bezerra - Presidente
Prof. Dr. Waldir Sabino da Silva Júnior - Membro Titular 1 - Interno
Prof. Dr. Luis Fabian Olivera Mederos - Membro Titular 2 - Externo
Documento assinado eletronicamente

Manaus, 24 de março de 2026.



Documento assinado eletronicamente por **Thiago Brito Bezerra, Professor do Magistério Superior**, em 27/03/2026, às 15:37, conforme horário oficial de Manaus, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Waldir Sabino da Silva Júnior, Coordenador**, em 01/04/2026, às 11:28, conforme horário oficial de Manaus, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Luis Fabian Olivera Mederos, Usuário Externo**, em 07/04/2026, às 11:54, conforme horário oficial de Manaus, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site https://sei.ufam.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **3079259** e o código CRC **5E399A19**.

Av. General Rodrigo Octávio Jordão Ramos, nº 3.000 - Bairro Coroado Campus Universitário, Setor Norte
- Telefone: 99271-8954
CEP 69080-900 Manaus/AM - Pavilhão do CETELI. E-mail: ppgee@ufam.edu.br

Referência: Processo nº 23105.008351/2026-33

SEI nº 3079259

*Dedico primeiramente a Deus
que até aqui me ajudou, aos
meus filhos, a minha esposa e
aos meus pais. “A imaginação é
mais importante que o
conhecimento. O conhecimento é
limitado, enquanto a imaginação
abraça o mundo.” Albert Einstein*

Agradecimentos

- Gostaria de expressar minha gratidão primeiramente a Deus, pois é quem me sustenta e me guia.
- Agradeço ao meu orientador professor Dr. Thiago Brito, pela orientação e dedicação durante todo o meu processo de pesquisa e aprendizado.
- Gostaria de agradecer há minha família por me apoiar e acreditar em meus sonhos e projetos, em especial a minha esposa Kaina, aos meus filhos Davi e Heitor, a minha mãe Rosilene e minha irmã Giulliana.
- Agradeço também ao professor Dr. Waldir Sabino pelos conselhos e instruções ao longo de minha jornada.
- Agradeço a Universidade Federal do Amazonas e a todos os colaboradores que desempenha um papel fundamental no desenvolvimento acadêmico.
- Expresso também à minha gratidão aos meus amigos que fizeram parte de minha jornada durante este processo, em especial a minha amiga de orientação Isabelle.

Resumo da Dissertação apresentada à UFAM como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica

MODULADOR SIGMA-DELTA COM PROCESSAMENTO
PSEUDO-PARALELO EM TECNOLOGIA CMOS 130 NM PARA APLICAÇÃO
EM SINAIS DE REDE 5G NR

André Felipe Feitosa de Souza

Orientador: Thiago Brito Bezerra

Programa: Pós-Graduação em Engenharia Elétrica

Em sistemas de alta frequência, dispositivos de conversão de dados tornam-se indispensáveis para permitir o processamento adequado do sinal dentro de sua faixa dinâmica, evitando distorções significativas que comprometam sua qualidade. Nesse contexto, o projeto de circuitos integrados em tecnologia CMOS tem sido amplamente empregado para atingir níveis apropriados de desempenho, com redução de área ocupada e consumo de potência. Os sinais utilizados em redes de quinta geração (5G) impõem desafios relevantes, especialmente devido à elevada taxa de transmissão de dados, ampla largura de banda e alta complexidade espectral. Dentre as técnicas empregadas nesse cenário, destaca-se o acesso múltiplo por divisão ortogonal de frequência (OFDMA), adotado no padrão 5G NR, que exige elevada eficiência espectral e robustez frente a interferências e ruído. Dessa forma, este trabalho concentrou-se na utilização de um sinal OFDMA do padrão 5G NR como estímulo de entrada para o desenvolvimento de um modulador sigma-delta pseudo-paralelo (PDSM), implementado integralmente em domínio digital. O projeto foi conduzido seguindo as etapas do fluxo ASIC, desde a descrição comportamental até a geração do layout físico.

Palavras-chave: modulador sigma-delta, 5G NR, OFDMA, PDSM, CMOS.

Abstract of Dissertation presented to UFAM as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering

SIGMA-DELTA MODULATOR WITH PSEUDOPARALLEL PROCESSING IN 130 NM CMOS TECHNOLOGY FOR 5G NR NETWORK APPLICATIONS

André Felipe Feitosa de Souza

Advisor: Thiago Brito Bezerra

Department: Postgraduate in Electrical Engineering

In high-frequency systems, data converters are essential to enable proper signal processing within the available dynamic range, thereby preventing significant distortions that may degrade signal quality. In this context, the design of integrated circuits based on CMOS technology has been widely adopted to achieve adequate performance while minimizing area and power consumption. Signals employed in fifth-generation (5G) networks pose significant challenges, primarily due to their high data rates, wide bandwidth, and increased spectral complexity. Among the techniques adopted in this scenario, Orthogonal Frequency Division Multiple Access (OFDMA), as defined in the 5G NR standard, stands out for its high spectral efficiency and robustness against interference and noise. Accordingly, this work focuses on the use of a 5G NR-compliant OFDMA signal as the input stimulus for the development of a pseudo-parallel sigma-delta modulator (PDSM), fully implemented in the digital domain. The proposed design follows the ASIC design flow, from behavioral modeling to physical layout generation.

Keywords: sigma-delta modulator, 5G NR, OFDMA, PDSM, CMOS.

Sumário

1	Introdução	1
1.1	Objetivos da Dissertação	3
1.1.1	Objetivo geral	3
1.1.2	Objetivos específicos	3
1.2	Justificativa	3
1.3	Organização da dissertação	6
2	Redes de Comunicação 5G	8
2.1	Otimização dos Sistemas de Comunicação Móvel	8
2.2	Redes 5G	9
2.2.1	Escalabilidade e Segurança	10
2.2.2	Interoperabilidade e Sustentabilidade da Rede 5G	11
2.2.3	Rede 5G NR	12
2.2.4	Sinal OFDM	14
3	Conceitos de Modulação Sigma Delta	17
3.1	Sobreamostragem (OSR)	17
3.2	Modulação Sigma-Delta ($\Sigma\Delta$)	18
3.3	Moduladores Sigma-Delta de Primeira e Segunda Ordem	21
3.3.1	Modulador Sigma-Delta de 1 ^a Ordem	21
3.3.2	Modulador Sigma-Delta de 2 ^a Ordem	24
3.3.3	Aplicações de Moduladores Sigma-Delta	27
4	Modulador Sigma-Delta com Processamento Pseudo-Paralelo	29
4.1	PDSM de Baixa sobreamostragem	30

4.2	Modulador $\Sigma\Delta$ Pseudo-Paralelo com Fator de Desenrolamento 3, executável em Tecnologia CMOS Digital	33
4.3	PDSM em Sinais de OFDMA da rede 5G NR	40
4.3.1	Modelagem do PDSM	42
5	Projeto do PDSM em Design de Circuitos Integrados Digitais	45
5.1	Fluxo de Design Digital	45
5.2	Circuito Multiplexador 2x1	46
5.2.1	Layout dos Multiplexadores 2x1 encadeados	49
5.3	Circuito Comparador	50
5.3.1	Layout do Comparador	52
5.4	Filtro Decimador	53
5.4.1	Layout do Filtro	58
5.5	Circuito Multiplicador	59
5.5.1	Somador com Seleção de Carry (CSLA)	62
5.5.2	Layout do Multiplicador	62
5.6	Integradores Digitais	64
5.6.1	Layouts dos Integradores	65
6	Resultados e Discussões	68
6.1	Layout final do PDSM	68
6.1.1	Análise Estática de Temporização (STA)	70
6.2	Resposta em Frequência do Modulador Sigma-Delta Pseudo-Paralelo	72
6.3	Comparação com trabalhos correlatos	74
7	Conclusão	76
7.1	Trabalhos Futuros	77
	Referências Bibliográficas	79

Lista de Figuras

1.1	Distribuição de Recursos por Usuários, adaptada [15].	5
1.2	Processamento do sinal OFDMA, adaptada [15].	6
2.1	Evolução da Comunicação Móvel de Celular, adaptado [17].	9
2.2	Diagrama de blocos do sistema de aplicação do 5G baseado em C-RAN, adaptado [1].	11
2.3	Arquitetura da rede 5G NR, adaptado [24].	13
2.4	Transmissão Multicarrier, adaptado [24].	15
2.5	Estrutura do Transceptor OFDM, adaptado [24].	16
3.1	Estrutura de um modulador sigma-delta.	19
3.2	(a) Sinal $X(f)$ (linha sólida), ruído modelado $NFT(f)E(f)$ (linha tracejada), resposta em frequência $ H(f) $ (linha tracejada e pontilhada). (b) Sinal de amostragem e retenção $\bar{Y}(f)$, adaptado [9].	20
3.3	Diagrama de blocos de um $\Sigma\Delta$ de primeira ordem digital, adaptado [3].	22
3.4	Comparação da NTF's de moduladores $\Sigma\Delta$ de primeira e segunda ordem.	26
4.1	(a) Sinal $x(f)$ - linha contínua; (b) ruído modelado $NTF(f)E(f)$ - linha tracejada; (c) resposta em frequência do circuito $H(f)$ - linha ponto-traço; (d) Sinal de saída para $f_s \neq f_{clock}$ no $\Sigma\Delta$, adaptado [9].	32
4.2	Implementação Digital do PDSM de 2 ^a ordem com $N = 3$	34
4.3	Modulador sigma-delta de 2 ^a ordem.	34
4.4	Modulador pseudo paralelo com $N = 3$	39
4.5	Estrutura de transmissão do Sinal OFDMA com o PDSM.	41
4.6	Resposta em Frequência do PDSM ideal de 2 ^a ordem com fator de desenrolamento $N = 3$	44

5.1	Fluxo Asic, adaptado [50].	46
5.2	Diagrama de função do MUX digital.	47
5.3	Multiplexador 2x1.	48
5.4	Multiplexador 2x1 encadeado implementado em fluxo de design digital.	49
5.5	Layout Multiplexador encadeado 2x1.	50
5.6	Bloco comparador de 1 bit.	51
5.7	Comparador de 1 bit implementado em tecnologia CMOS.	52
5.8	Layout do comparador em CMOS 130 nm.	53
5.9	Filtro de decimação de dois estágios.	54
5.10	Decimação com um filtro sinc^3 , adaptado [9].	55
5.11	Diagrama de blocos do Filtro CIC.	56
5.12	Diagrama da arquitetura do filtro de decimação.	57
5.13	Layout do filtro digital.	58
5.14	Arvore de Clock do Filtro.	59
5.15	Processo de multiplicação.	60
5.16	Multiplicação pelo método de Wallace de 4 bits.	61
5.17	Multiplicador em árvore de Wallace.	61
5.18	Layout do multiplicador de 16 bits do PDSM.	63
5.19	Bloco do circuito dos integradores digitais.	65
5.20	Verificação Funcional para Design de Circuitos Digitais.	66
5.21	Layout dos integradores.	67
6.1	Layout do PDSM Completo.	69
6.2	Layout do PSDM em estrutura de sintaxe lógica no OpenRoad.	70
6.3	Resposta em Frequência Pós-layout PDSM.	73
6.4	Distribuição do SNR no modelo Monte Carlo.	74

Lista de Tabelas

4.1	Dados de Simulação	43
4.2	Testes de Valores dos Coeficientes	43
6.1	Tabela do STA	71
6.2	Resultado das Simulações de dados baseadas no Monte Carlo	73
6.3	Trabalhos Correlatos	75

Lista de Siglas

1G 1st Generation. 8

2G 2nd Generation. 8

3G 3rd Generation. 9

3GPP 3rd Generation Partnership Project. 12

4G 4th Generation. 9, 13

5G Fifth Generation of Mobile Networks. ix, 8–14, 42

C-RAN Cloud Radio Access Network. 10

CDMA Code Division Multiple Access. 9

CMOS Complementary Metal-Oxide-Semiconductor. 27, 66

FDMA Frequency Division Multiple Access. 8

LTE Long Term Evolution. 10, 13

MIMO Multiple Input Multiple Output. 9, 10, 13

mMTC Massive Machine Type Communications. 10

mmWave Millimeter Wave. 10

NR New Radio. ix, 8, 12–14, 40, 41

OFDM Orthogonal Frequency Division Multiplexing. ix, 9, 13, 14

OSR Oversampling Ratio. ix, 17, 26, 29, 30

RAN Radio Access Network. 8

SDM Modulador Sigma Delta. 30, 31, 33, 35

SNR Signal to Noise Ratio. 26, 42, 44

TDMA Time Division Multiple Access. 8

Capítulo 1

Introdução

Atualmente, a quinta geração das redes de comunicação móvel, conhecida como 5G, constitui uma tecnologia desenvolvida para atender a requisitos de elevada taxa de transmissão de dados, baixa latência e maior eficiência energética [1]. Para alcançar esses objetivos, os sistemas utilizam formas de onda e técnicas de modulação mais sofisticadas, capazes de garantir maior integridade do sinal e confiabilidade na transmissão.

Devido às altas frequências de operação e às largas faixas de banda empregadas, há uma busca constante por melhorias na eficiência espectral. Esse cenário impõe requisitos mais rigorosos aos sistemas de modulação e aumenta a complexidade de implementação. Além disso, surgem desafios relacionados às não linearidades dos circuitos integrados utilizados nesses sistemas, que podem degradar o desempenho global do enlace de comunicação [2]. Garantir a confiabilidade da comunicação torna-se, portanto, essencial, sendo a etapa de conversão de dados um dos principais fatores para se alcançar níveis adequados de desempenho, especialmente em redes 5G. Nesse contexto, os moduladores sigma-delta têm sido amplamente estudados e aplicados por possibilitarem modelagem do ruído de quantização e respostas dinâmicas eficientes [3] [4].

Entretanto, a utilização de moduladores sigma-delta convencionais de ordem elevada pode apresentar desvantagens, tais como instabilidade do laço de realimentação, degradação da relação sinal-ruído (SNR) fora da região ideal de operação e necessidade de aumento significativo da taxa de sobreamostragem (OSR). Esses fatores impactam negativamente o escalonamento do sistema, elevando o consumo de

energia e a complexidade de implementação. Como alternativa, destaca-se o emprego de moduladores sigma-delta com processamento paralelo, que permitem distribuir o processamento temporal do sinal, reduzindo o consumo energético, melhorando o tempo de resposta e contribuindo para maior robustez do sistema [2] [5] [6]. No entanto, o projeto dessas arquiteturas exige circuitos capazes de garantir integridade funcional, sincronização adequada e confiabilidade estrutural. Embora implementações analógicas sejam tradicionalmente utilizadas, sua sensibilidade a variações de processo, tensão e temperatura (PVT) aumenta a complexidade do projeto e dificulta a escalabilidade em tecnologias mais avançadas. Diante desse cenário, este trabalho propõe uma abordagem alternativa aos moduladores sigma-delta convencionais por meio do desenvolvimento de uma arquitetura implementada em tecnologia CMOS (Complementary Metal-Oxide-Semiconductor). A tecnologia CMOS tem sido amplamente empregada em diferentes setores como o automotivo, médico e de áudio devido às suas vantagens em termos de baixo consumo de potência, maior eficiência e redução da área ocupada em silício [7] [8]. Além disso, sua compatibilidade com fluxos de projeto digital favorece a integração em sistemas em nível de circuito integrado específico de aplicação (ASIC).

Em [9], é apresentado um modulador digital baseado em pseudoparalelismo, no qual as entradas e saídas são processadas por Elementos de Processamento (EPs) capazes de validar estados futuros dentro do mesmo ciclo de clock, operando a uma frequência múltipla da taxa de amostragem. Baseado nesse conceito, o presente trabalho propõe o desenvolvimento de um modulador sigma-delta de segunda ordem com fator de desenrolamento igual a três, fundamentado na técnica de pseudoparalelismo e implementado em tecnologia CMOS de 0,13 μm .

São descritas as etapas de síntese e layout, visando à obtenção de melhorias de desempenho e à compatibilidade com fluxo de projeto em nível ASIC. A modelagem e a descrição do hardware são realizadas em SystemVerilog, utilizando a plataforma open source do IHP com uso da tecnologia SG13G2, a qual permite trabalhar com o nó tecnológico especificado e submeter o projeto às etapas de verificação física e lógica por meio de ferramentas de automação de projeto eletrônico (EDA). Dessa forma, os layouts gerados passam por processos de validação compatíveis com requisitos de fabricação.

Para validação do sistema proposto, são realizadas simulações utilizando sinais OFDMA da rede 5G NR, considerando largura de banda de 100 MHz, frequência de amostragem de 3,8 GHz e OSR igual a 16. O desempenho é avaliado principalmente em termos de SNR, permitindo analisar a eficiência da arquitetura proposta frente às exigências impostas por sistemas de comunicação de alta velocidade.

1.1 Objetivos da Dissertação

1.1.1 Objetivo geral

Desenvolver um modulador sigma-delta de 2^a Ordem com processamento pseudo-paralelo para aplicação em sinais de OFDMA da rede 5G NR, apresentando os layouts de design de circuitos integrados digitais a nível de fabricação.

1.1.2 Objetivos específicos

- Apresentar a estrutura do sistema de modulação sigma-delta com processamento pseudo-paralelo.
- Mostrar parâmetros de análise de temporização estática do modulador proposto.
- Implementar o circuito em fluxo digital utilizando as ferramentas da plataforma IHP.
- Demonstrar que a taxa de OSR não é elevada para sinais de alta frequência.
- Obter resultados pós layout de comparação para os dados do sinal de entrada OFDMA.

1.2 Justificativa

O emprego da modulação sigma-delta em sistemas de alta frequência tem sido considerado uma alternativa relevante para aplicações que demandam elevada qualidade espectral e adequado controle do ruído de quantização na saída do sinal [9] [10]. A principal vantagem dessa arquitetura reside na técnica de modelagem

espectral do ruído, na qual o erro de quantização é deslocado para altas frequências, permitindo que a banda útil do sinal apresente melhor relação sinal-ruído (SNR). Entretanto, à medida que a frequência e a largura de banda do sinal de entrada aumentam, surgem limitações importantes no projeto do modulador, especialmente no que se refere à estabilidade do laço, à largura de banda dos integradores e à taxa de sobreamostragem requerida.

No contexto das redes móveis de quinta geração, essas dificuldades tornam-se mais evidentes. O padrão 5G NR, padronizado pelo 3GPP em 2018 [11] [12], foi concebido para operar com larguras de banda significativamente superiores às gerações anteriores e em diferentes faixas de frequência, incluindo bandas milimétricas. A ampliação da largura de banda do canal e a flexibilidade no espaçamento entre subportadoras implicam sinais com maior complexidade espectral e maior densidade de informação. Como consequência direta, a utilização de moduladores sigma-delta convencionais exigiria taxas de amostragem muito elevadas para manter um fator de sobreamostragem adequado, impactando o consumo de potência, a área ocupada e a viabilidade tecnológica do circuito.

A camada física do 5G NR concerne na multiplexação por divisão ortogonal de frequência (OFDM) associada a técnicas de múltiplas antenas, como o MIMO. O princípio do OFDM consiste na divisão de um canal de banda larga em diversas subportadoras ortogonais de banda estreita, permitindo alta eficiência espectral e robustez frente a efeitos de desvanecimento seletivo em frequência. Quando associado ao acesso múltiplo, obtém-se o OFDMA, no qual subconjuntos de subportadoras são dinamicamente alocados a diferentes usuários, ampliando a flexibilidade do sistema e melhorando a utilização do espectro [13] [14].

A representação do OFDMA no domínio tempo-frequência, ilustrada na Figura 1.1, evidencia que múltiplos usuários compartilham o espectro ao longo do tempo, cada um ocupando blocos específicos de recursos em determinadas subportadoras. Essa organização permite maior escalabilidade do sistema, redução de latência para aplicações como voz e vídeo e melhor gerenciamento de recursos conforme os requisitos de serviço. Já a estrutura do sinal OFDMA apresentada na Figura 1.2, mostra que cada símbolo no domínio do tempo corresponde à combinação de diversas subportadoras no domínio da frequência, obtidas por meio da FFT e acrescidas

de intervalos de guarda para mitigar interferência intersimbólica. Dessa forma, cada símbolo temporal carrega informações distribuídas espectralmente ao longo de toda a largura de banda do canal [15] [13]. Diante dessas características, a aplicação de

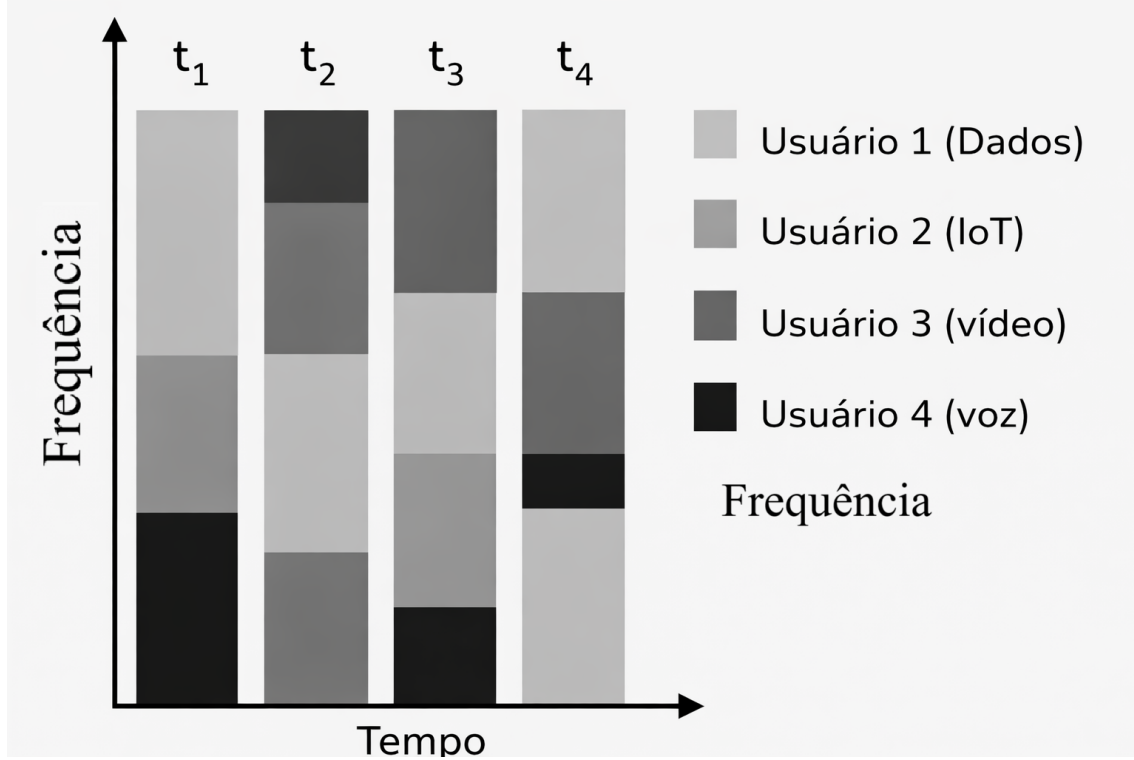


Figura 1.1: Distribuição de Recursos por Usuários, adaptada [15].

moduladores sigma-delta em sinais OFDMA do 5G NR representa um desafio técnico significativo. Como o sinal apresenta alta largura de banda e múltiplas componentes espectrais distribuídas, o conversor deve preservar a integridade das subportadoras enquanto realiza a modelagem do ruído de quantização. Em arquiteturas tradicionais, isso implicaria fatores de sobreamostragem extremamente elevados, o que pode se tornar inviável em termos de frequência de operação e consumo energético. Nesse cenário, arquiteturas paralelas e pseudo-paralelas de moduladores sigma-delta surgem como alternativas promissoras. Ao distribuir o processamento temporal em múltiplos caminhos, essas estruturas reduzem a frequência efetiva de operação de cada ramo, mantendo o desempenho global do sistema. Essa abordagem contribui para aliviar restrições críticas de projeto, melhorar o SNR e reduzir a necessidade de taxas de sobreamostragem excessivas, tornando a implementação mais compatível com tecnologias digitais.

A adoção de técnicas de projeto totalmente digitais em tecnologia CMOS

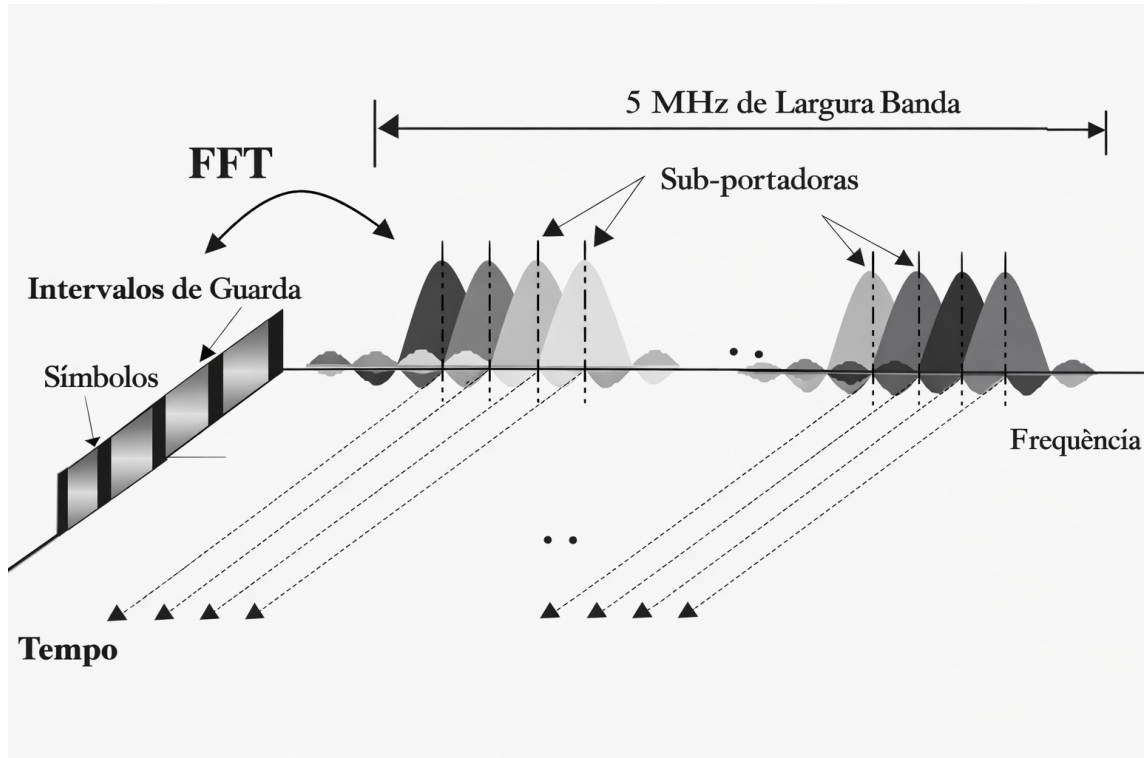


Figura 1.2: Processamento do sinal OFDMA, adaptada [15].

reforça essa viabilidade, pois permite maior controle do comportamento do sistema, redução de consumo de potência, melhor eficiência em área e maior robustez frente a variações de processo. Além disso, arquiteturas predominantemente digitais tendem a apresentar menor sensibilidade a não idealidades analógicas, favorecendo a previsibilidade e a repetibilidade do desempenho.

Assim, a motivação deste trabalho está fundamentada na investigação da aplicação de arquiteturas sigma-delta pseudo-paralelas ao processamento de sinais OFDMA do 5G NR, considerando as exigências de alta largura de banda, eficiência espectral e viabilidade de implementação digital. Esta dissertação apresenta o layout dos circuitos integrados digitais concebidos por meio de fluxo ASIC em tecnologia CMOS $0,13 \mu m^2$ que seguem as etapas de fabricação para o nó utilizado, em que se mostra a viabilidade da implementação típica de circuitos desta natureza.

1.3 Organização da dissertação

A organização desta dissertação é observada conforme a estrutura a seguir:

- No Capítulo 2, são apresentados conceitos básicos da rede de comunicação de

quinta geração.

- No Capítulo 3, são analisados os fundamentos básicos do sistema de modulação sigma-delta.
- No Capítulo 4, é apresentado o modulador sigma-delta com processamento pseudo-paralelo com fator de desenrolamento 3 implementável em tecnologia CMOS.
- No Capítulo 5, é mostrado o projeto de design de circuitos integrados digitais do modulador, bem como o layout dos circuitos e suas características.
- No Capítulo 6, são apresentados os resultados obtidos nessa dissertação, a cerca do layout e das simulações pós layout para o sinal OFDMA.
- No Capítulo 7, é concluído este trabalho bem como sugestões de trabalhos futuros a serem realizados.

Capítulo 2

Redes de Comunicação 5G

Este Capítulo aborda conceitos básicos das redes 5G além de suas principais utilizações, suas especificações e seus protocolos de comunicação e sistemas de comunicação derivados como 5G NR.

2.1 Otimização dos Sistemas de Comunicação Móvel

Em 1980 um avanço tecnológico escalável e aprimorado surgiu, sendo essa a primeira geração também conhecida como 1G isso para transmissão de voz, que utilizou a técnica de acesso múltiplo por divisão de frequência (FDMA) para a Rede de Acesso por Rádio (RAN), conforme os anos foram passando ocorreu uma necessidade de melhorias neste sistema, isto em decorrência do crescimento no número de usuários, fazendo com que a rede 1G tivesse algumas limitações de capacidade, além de problemas com a qualidade de voz e também dificuldades em ser escalada [16] [17]. A Figura 2.1 retrata as décadas de introdução e aplicações das redes de comunicação móvel.

Assim para conseguir melhorar tais limitações no sistema de rede móvel 1G, foram criadas tecnologias de comunicação móvel de segunda geração, também conhecida como 2G, que têm base em técnicas de acesso múltiplo por divisão de código (TDMA). Porém, esse método utilizado nas redes 2G que permitia uma grande quantidade de usuários por canal na divisão de tempo, ainda sofria com limitações e requeria grandes espaços de frequências entre os canais utilizados, isso para po-

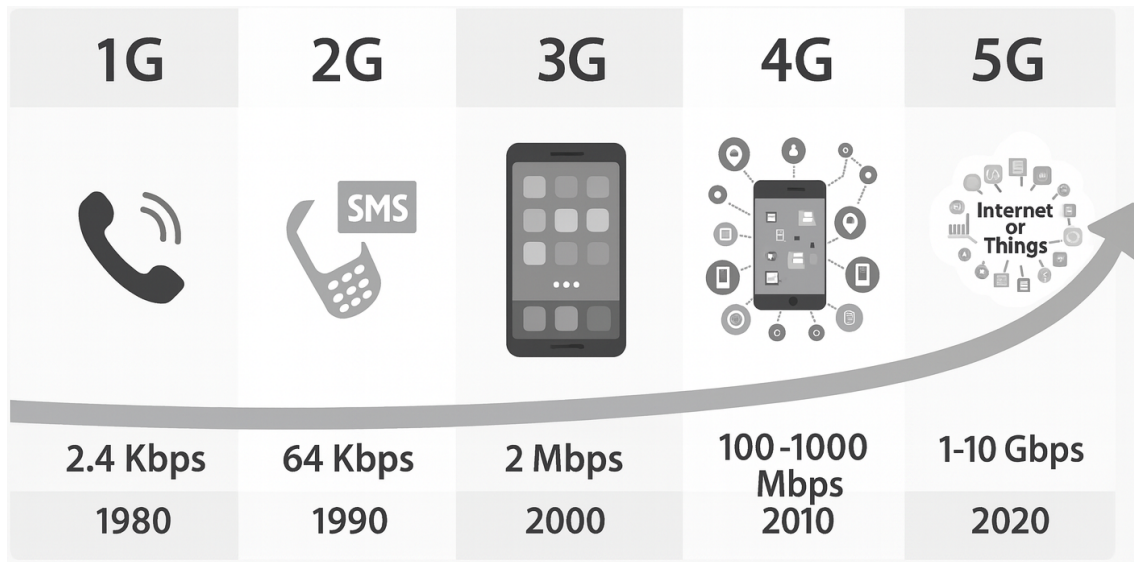


Figura 2.1: Evolução da Comunicação Móvel de Celular, adaptado [17].

der não haver interferências [16] [17]. Com isso, para melhorar ainda mais o sistema das redes de comunicação móvel, foi criada a terceira geração (3G), na qual uma de suas principais características é possuir uma maior capacidade e taxa de dados mais altas [16]. As redes 3G utilizam uma técnica conhecida como acesso por divisão de código (CDMA), sendo baseada em utilizar o mesmo canal de frequência, suportando vários usuários ao mesmo tempo [16].

Conforme a evolução das tecnologias de comunicação, o aumento de diversos dispositivos de acesso e com a inserção de novos serviços, como, por exemplo, redes sociais, fizeram com que as condições de qualidade fossem elevadas, sendo ainda mais ampliada a capacidade dos sistemas de comunicação móvel existentes [16]. Com isso, foi introduzida a rede de comunicação móvel 4G, sendo esta um sistema realmente constituído em uma visão acerca do protocolo de internet, com melhoria na taxa de dados e grandes capacidades [16]. Com este avanço, outras técnicas foram implementadas, como o acesso por multiplexação por divisão ortogonal de frequência (OFDM) e sistemas de múltiplas entradas e múltiplas saídas (MIMO) [16].

2.2 Redes 5G

Com o crescimento do número de dispositivos conectados, que possuem uma demanda alta de largura de banda das redes de comunicação móvel e com o aumento da demanda tecnológica de comunicação dentro do setor industrial, além do avanço

de aparatos de Internet das Coisas [16] é necessário que os sistemas de comunicação de redes móveis continuem a evoluir para garantir a integridade, a interoperabilidade, segurança e a latência dos dados para obter uma maior qualidade em termos de comunicação móvel. O significado de rede 5G ainda é um assunto em desenvolvimento dentro das diversas indústrias de telecomunicações [18]. A comunicação móvel atual tem requisitos críticos que estão permeando todo o sistema de última geração, assim o padrão de rede 5G está fomentando a capacidade de desenvolvimento das redes de comunicação móveis futuras [16, 19]. Esse padrão de comunicação móvel tem como fundamentos oferecer taxas de dados mais elevadas sendo até 10 Gbps, latência que vão até 1 ms e 1000 vezes mais dispositivos conectados além de uma grande eficiência energética e elevado grau de confiabilidade [16]. As redes 5G oferecem um novo horizonte para um mundo interconectado e inteligente, tendo sua empregabilidade para banda larga móvel e aprimorada, comunicação ultra confiável e de baixa latência e comunicação massiva do tipo máquina [16] [17].

A rede de comunicação móvel 5G é superior ao LTE isso em torno dos recursos e performance, isto faz com que, haja uma maior proposta de novas tecnologias e técnicas que melhorem mais o atendimento às necessidades da quinta geração, como a Rede Definida por Software (SDN), MIMO enorme, mmWave, computação de borda móvel, entre outras [17]. O 5G consente que várias aplicações novas possam se tornar viáveis através de um número reduzido de tecnologias emergentes [16] [17], a Figura 2.2 representa um esquema de aplicação do 5G utilizando como base C-RAN.

2.2.1 Escalabilidade e Segurança

A IoT visa conectar os dispositivos do mundo de maneira inteligente e de maneira mais natural, esses dispositivos são diferentes entre si, mas tornam um sistema rotineiro mais fácil, na rede de comunicação móvel de quinta geração esta visão se torna mais aplicável às tecnologias que são voltadas ao tipo mMTC. Para conseguir gerenciar esse número grande de dispositivos de 5G, faz-se necessário criar uma arquitetura de rede que possa ser escalável à medida que atenda aos requisitos críticos presentes, no entanto esta é uma tarefa que pode estar cercada de desafios, mas além do projeto ser escalável precisa garantir a confiabilidade do sistema [16].

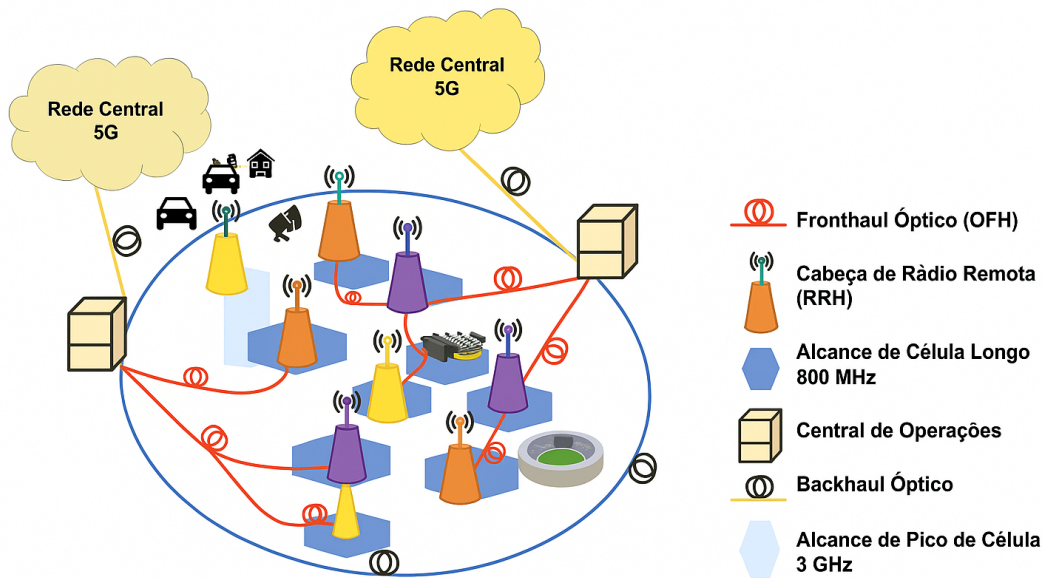


Figura 2.2: Diagrama de blocos do sistema de aplicação do 5G baseado em C-RAN, adaptado [1].

A segurança de dados em sistemas de comunicação móvel deve estar como uma prioridade quando trata-se de redes 5G, cuja a intenção é distribuir de maneira rápida as indústrias verticais, mas isso mostra que a vulnerabilidade pode estar presente quando tratada de maneira inadequada [16]. Um exemplo seriam os carros autônomos que podem ser suscetíveis a ataques cibernéticos, ou mesmo a computação em nuvem que são estruturas importantes de habilitação da rede 5G [16], esses desafios vêm sendo enfrentados por diversos setores envolvidos com sistemas de telecomunicações, que procuram melhorar a segurança de sistemas integrados as redes de comunicação móvel de última geração.

2.2.2 Interoperabilidade e Sustentabilidade da Rede 5G

Na quinta geração de comunicação móvel existe um grande número de dispositivos de IoT que possuem naturezas diferenciadas, tais dispositivos operam com diferentes protocolos de rede, um dos principais desafios enfrentados pela rede 5G é garantir o equilíbrio contínuo fazendo uso de diferentes tecnologias. A interoperabilidade permite que os usuários dos sistemas de comunicação, que utilizam a IoT

possam extrair o potencial máximo de respostas com eficiência e dados consistentes em sistemas atuais [16].

Os sistemas de comunicação de última geração baseados em níveis de confiança entre protocolos de dados e resposta acelerada com qualidade, buscam operações sustentáveis, nas redes 5G a utilização de mecanismos que fomentem a sustentabilidade, ocorrem por meio de projetos energeticamente eficientes ou por fontes que utilizam energia limpa, outra análise importante sobre o impacto sustentável que pode se fazer para melhorar esses aspectos é por meio de redução de custos operacionais que podem ser feitos através da colheita de energia, mas realizar tais projetos com colheita de energia é um trabalho complexo [16] .

2.2.3 Rede 5G NR

A rede 5G New Radio (NR - Release 15) do 3GPP é um sistema unificado que tem a flexibilidade de sustentar as três principais vertentes para a comunicação de quinta geração [12] [20], isto conforme definido pela ITU, sendo assim essas categorias da comunicação móvel 5G são, a internet das coisas massivas, comunicação ultra confiável e de baixa latência [11] [12]. Essa ramificação da comunicação 5G foi padronizada em 2018, isso representando o primeiro conjunto completo de padrões da quinta geração.

A principal estrutura do release 15 se propaga em um processo de expansão para a cobertura do 5G autônomo [11], com este novo sistema de rádio que se complementa por um núcleo de próxima geração [11] [20]. O sistema 5G NR possui vários benefícios quando se trata de comunicação com processamento de dados ultra confiáveis e de implementação em sistemas de controle de máquinas que utilizam tecnologia de última geração. Quando se trata de taxa de dados o 5G NR oferece essas informações teóricas de pico de 20 Gbps no downlink e de 10 Gbps no uplink, isto considerando as informações reais experimentais por meio dos usuários [12].

No escopo da rede 5G NR tem-se muitos serviços tais como, comunicação máquina a máquina (M2M), que trata-se de uma rede de comunicação que possui vários equipamentos interconectados, sendo esse a base para a internet das coisas que torna-se um modelo para o avanço significativo na tecnologia digital, esse modelo de aplicação dentro do padrão 5G NR é peça chave para provedores que são utili-

zados em diversas aplicações contundentes e avançadas atualmente, como cidades inteligentes e indústrias automatizadas [20].

A área projetada para o new radio são as faixas abaixo de 6 GHz, um elemento crucial para a interface aérea do NR são as estruturas que possam suportar grandes arrays de antenas e também possam ser fortemente adequados para o sistema massivo MIMO [12]. Os principais objetivos do sistema massivo MIMO é realizar a melhoria do sistema de cobertura e a capacidade de comunicação, mas os elementos de funcionamento são críticos quando considerados o aumento da demanda por serviços de dados [12] [21].

Aproximadamente 50% da demanda de serviço de dados pode ser aumentada daqui a alguns anos e isso pede mais funcionalidades quando se trata do New Radio [12]. A estrutura do 5G NR em termos de transmissão downlink está baseada no sistema MIMO e OFDM, sendo o último o que trata de converter o canal de frequência variada em um conjunto de subcanais [11]. A Figura 2.3 mostra a arquitetura da rede 5G NR com a representação de diferentes caminhos de transição entre as redes 4G (LTE) e a 5G NR.

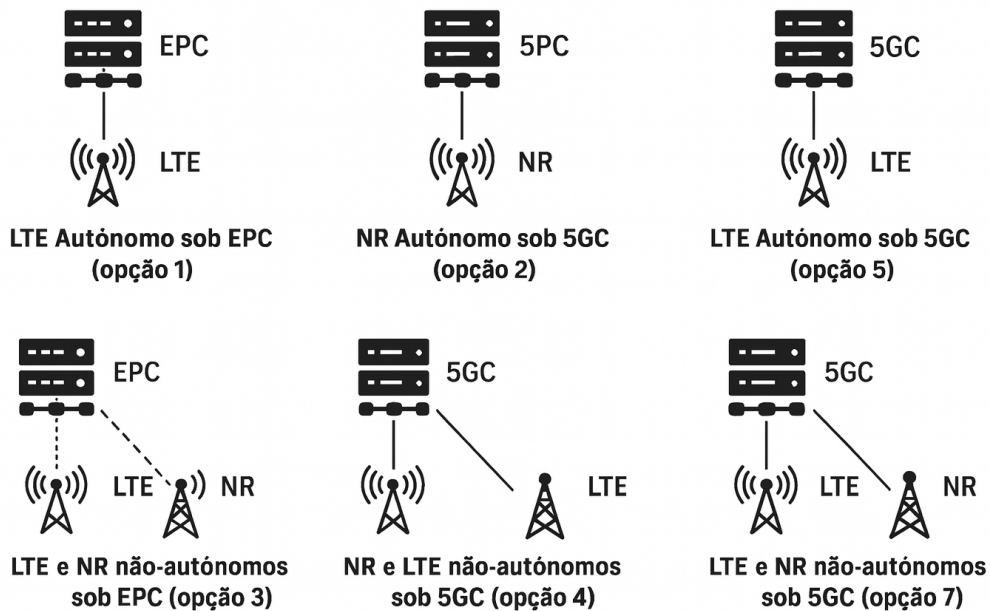


Figura 2.3: Arquitetura da rede 5G NR, adaptado [24].

A sequência de instruções finitas e a aplicação em sistemas de processamento

digital de sinal dentro do 5G NR são extremamente importantes para se aprofundar, por este motivo muitos modelos licenciados foram produzidos, e todos os que fornecem serviços de produção de dispositivos de comunicação móvel fazem a implementação de seus próprios modelos de simulação [11].

2.2.4 Sinal OFDM

A Multiplexação por Divisão de Frequência Ortogonal, conhecida como OFDM, constitui um caso particular de modulação multicarrier amplamente empregada em sistemas de comunicação com e sem fio. Sua ampla adoção deve-se principalmente à elevada eficiência espectral e à robustez frente a canais seletivos em frequência [22] [23].

O princípio fundamental dessa técnica baseia-se na ortogonalidade entre as subportadoras. Diferentemente da multiplexação convencional por divisão de frequência, em que bandas de guarda são necessárias para evitar interferência entre canais adjacentes, no OFDM as subportadoras são matematicamente ortogonais entre si no intervalo de símbolo T . Essa propriedade pode ser expressa pela condição apresentada na Equação (2.1) [22]:

$$\int_0^T \cos(2\pi f_k t + \phi_k) \cos(2\pi f_j t + \phi_j) dt = 0 \quad (2.1)$$

Essa ortogonalidade permite que as subportadoras se sobreponham no domínio da frequência sem causar interferência interportadora (ICI), desde que a sincronização seja preservada [22].

O modelo foi inicialmente consolidado em sistemas de áudio digital e posteriormente padronizado para redes locais sem fio, como no padrão IEEE 802.11. Atualmente, também constitui a base de diversos sistemas de comunicação celular, incluindo o 5G.

O princípio operacional consiste na conversão de um fluxo de dados serial de alta taxa em múltiplos subfluxos paralelos de menor taxa de transmissão. Esse processo reduz a largura de banda individual de cada subportadora e aumenta a duração do símbolo transmitido, mitigando os efeitos de interferência intersimbólica (ISI) em canais com múltiplos percursos. Após a conversão serial-paralelo, cada subfluxo é

modulado por QPSK e associado a uma subportadora distinta. Em seguida, todos os símbolos modulados são combinados por meio da Transformada Inversa Rápida de Fourier (IFFT), gerando o símbolo OFDM no domínio do tempo. A Figura 2.4 ilustra esse processo, evidenciando a conversão serial-paralelo e a associação de cada subportadora a um símbolo de dados específico [22] [24]. A Equação (2.2) descreve

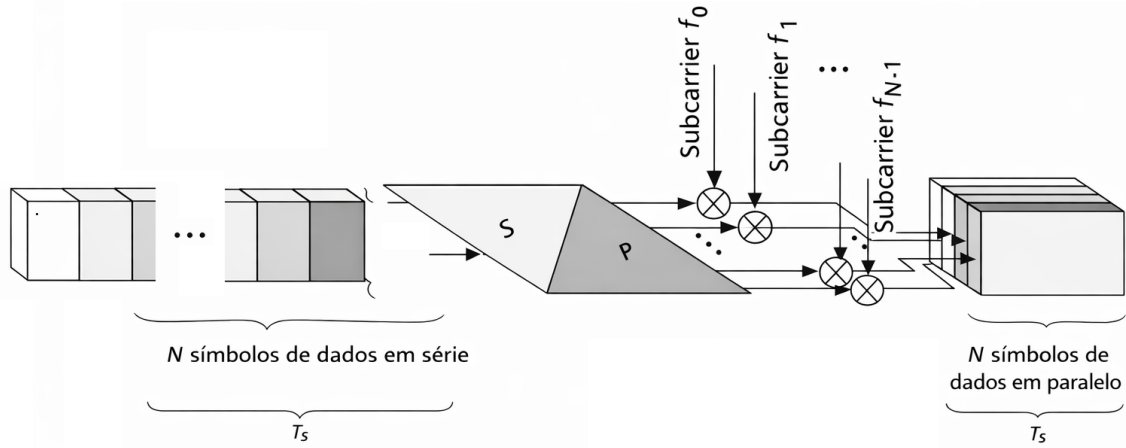


Figura 2.4: Transmissão Multicarrier, adaptado [24].

matematicamente como é a descrição do sinal transmitido:

$$x(t) = \sum_{k=0}^{N-1} X_k e^{j2\pi f_k t}, \quad 0 \leq t < T \quad (2.2)$$

em que X_k é a representação do símbolo complexo modulado na k -ésima suportadora e $f_k = k/T$, que garante a condição de ortogonalidade.

Após a geração do símbolo no domínio do tempo, é inserido um intervalo de guarda geralmente na forma de prefixo cíclico com a finalidade de preservar a ortogonalidade na presença de canais multipercurso. A Figura 2.5 representa o modelo completo de transmissão e recepção, incluindo a inserção do intervalo de guarda, o conversor digital-analógico (DAC), o canal multipercurso $h(t, \tau)$, o ruído aditivo $n(t)$, o conversor analógico-digital (ADC) e a aplicação da Transformada Rápida de Fourier (FFT) no receptor [24]. No receptor, a FFT realiza a separação das subportadoras ortogonais, recuperando os símbolos X_k transmitidos. Esse processo é matematicamente equivalente à projeção do sinal recebido sobre as bases ortogonais correspondentes, garantindo a recuperação independente de cada subcanal. Entretanto, um dos principais desafios associados a essa técnica é a elevada razão

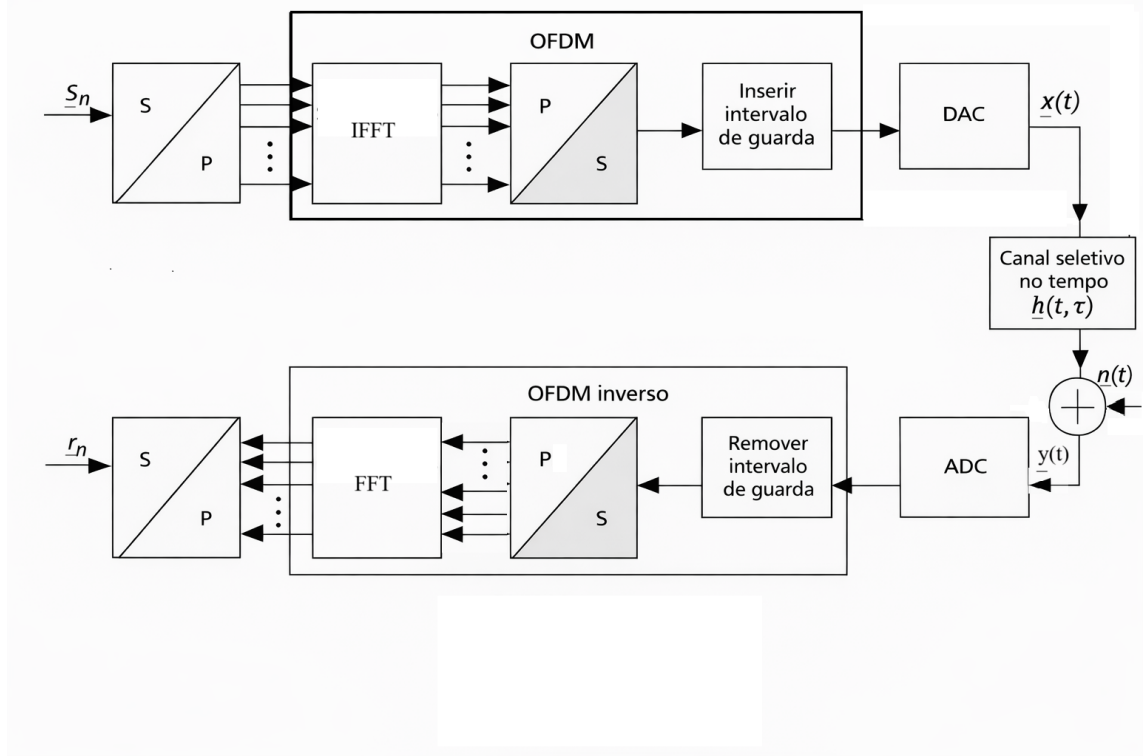


Figura 2.5: Estrutura do Transceptor OFDM, adaptado [24].

pico-média de potência. Como o sinal no domínio do tempo resulta da soma de múltiplas subportadoras, pode ocorrer superposição construtiva significativa, exigindo amplificadores de potência com ampla região linear de operação. Isso impacta diretamente a eficiência energética do transmissor. Os sistemas baseados em acesso múltiplo por divisão de frequência ortogonal (OFDMA), diferentes usuários podem ocupar subconjuntos distintos de subportadoras [24].

Nesse contexto, a FFT também desempenha papel fundamental na separação espectral e no gerenciamento eficiente do espectro. Em aplicações relacionadas a rádio cognitivo, a estrutura baseada em subportadoras facilita o compartilhamento espectral, pois a largura de cada sub-banda pode ser configurada como múltiplo inteiro do espaçamento entre subportadoras. Dessa forma, a análise espectral por meio da FFT torna-se parte natural do sistema, não implicando custo computacional adicional significativo, uma vez que essa operação já é inerente à arquitetura.

Capítulo 3

Conceitos de Modulação Sigma Delta

O presente Capítulo aborda uma análise introdutória a modulação sigma-delta, mostrando conceitos relacionados ao seu funcionamento, moduladores de primeira e segunda ordem, taxa de sobreamostragem e suas características.

3.1 Sobreamostragem (OSR)

A técnica de sobreamostragem é um dos pilares no funcionamento dos moduladores sigma-delta, sendo utilizada como um parâmetro essencial para a melhoria da relação sinal-ruído (SNR) [3]. O conceito de sobreamostragem consiste na utilização de uma frequência de amostragem significativamente maior do que o mínimo estabelecido pelo Teorema de Nyquist, o que permite a distribuição do ruído de quantização em uma faixa espectral mais ampla. Dessa forma, a densidade espectral do ruído na banda de interesse é reduzida, possibilitando a aplicação de filtros digitais menos complexos e mais eficientes. A Equação (3.1) apresenta a forma de obtenção do valor de OSR para um determinado sistema.

$$OSR = \frac{f_s}{2f_b} \quad (3.1)$$

O ganho obtido pela sobreamostragem é expresso pelo parâmetro Oversampling Ratio (OSR), definido como a razão entre a frequência de amostragem e o dobro da largura de banda do sinal [25]. Esse parâmetro determina a eficiência da supressão do ruído, de modo que valores mais elevados de OSR resultam em melhor desempenho espectral. Além disso, o processo de sobreamostragem, quando com-

binado com a técnica de modelagem de ruído, permite alcançar níveis de resolução superiores aos obtidos por quantizadores convencionais de baixa resolução [3, 25].

O aumento do OSR impacta diretamente o SNR dos moduladores Sigma-Delta. Para moduladores de primeira ordem, a duplicação do OSR proporciona uma melhoria aproximada de 3 dB, enquanto, em moduladores de segunda ordem, esse ganho é da ordem de 9 dB. Esse comportamento demonstra que a sobreamostragem, quando associada à realimentação do modulador, promove uma redistribuição do espectro de ruído, concentrando-o fora da banda de interesse. Dessa forma, torna-se possível projetar arquiteturas mais robustas e eficientes, conciliando alta resolução com baixa complexidade de implementação [3, 25].

3.2 Modulação Sigma-Delta ($\Sigma\Delta$)

Atualmente, as atividades de computação e processamento de sinais são realizadas majoritariamente por meio de circuitos digitais [3, 25]. Isso se deve ao fato desses circuitos apresentarem maior resistência a ruídos e variações externas quando comparados aos circuitos analógicos [3], o que possibilita a implementação de sistemas mais complexos, com respostas mais rápidas e maior precisão. Com o passar dos anos, diversos setores tecnológicos vêm se tornando predominantemente orientados a sistemas digitais, o que acarreta uma crescente demanda por circuitos integrados desse tipo e torna suas aplicações indispensáveis nas mais variadas áreas da tecnologia. No entanto, há uma ressalva importante: os meios pelos quais os sinais se propagam possuem natureza essencialmente analógica [26]. Diante dessa característica inerente, torna-se necessário o emprego de processos de conversão de sinais entre os domínios analógico e digital [3].

A modulação conhecida como sigma-delta é amplamente utilizada em projetos e aplicações atuais [27–29]. Os moduladores $\Sigma\Delta$ utilizam técnicas de quantização com superamostragem e, em geral, empregam quantizadores de dois níveis [2, 25].

Ao analisar a estrutura básica de um modulador $\Sigma\Delta$, apresentada na Figura 3.1, observa-se a presença de um quantizador no caminho de realimentação do sinal $y(t)$. Nota-se que a entrada do integrador do modulador é formada pela subtração entre o sinal de entrada $x(t)$ e o sinal realimentado $y(t)$, após este passar

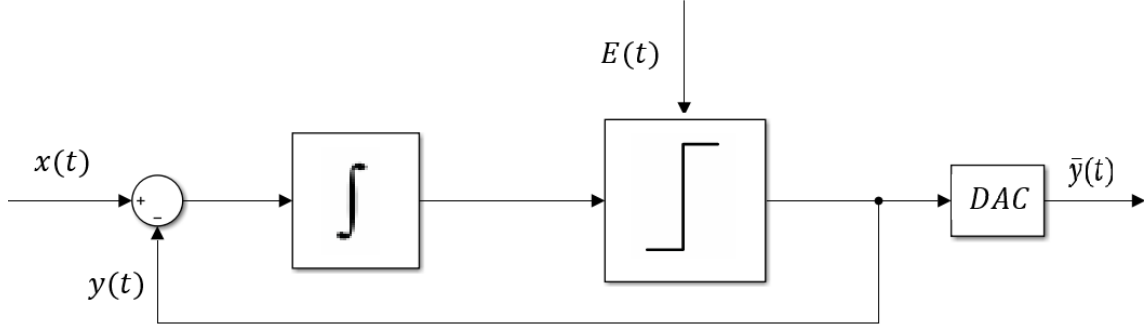


Figura 3.1: Estrutura de um modulador sigma-delta.

pelo quantizador, o qual gera o sinal quantizado $\bar{y}(t)$ [9,30]. Admitindo-se, para fins de modelagem, que os atrasos do sistema possam ser desprezados, a diferença entre o sinal de entrada $x(t)$ e o sinal realimentado $y(t)$ pode ser interpretada como o erro de quantização. O termo aditivo $E(t)$ representa, portanto, o ruído introduzido pelo processo de quantização. Esse erro é integrado ao longo do tempo e, em seguida, submetido a um conversor analógico digital de 1 bit, característico da arquitetura de moduladores sigma-delta.

O sinal $y(t)$ é mantido constante durante um período de amostragem definido pelo clock do sistema, cujo intervalo é dado por $T_s = 1/f_s$, sendo f_s a frequência de amostragem. A função de transferência característica do conversor digital analógico pode ser representada por $h(t)$ a qual relaciona a saída contínua $y(t)$ com o sinal quantizado $\bar{y}(t)$ por meio da convolução $\bar{y}(t) = h(t) \otimes y(t)$ [9,30].

No domínio- z , a saída do modulador sigma-delta pode ser expressa pela Equação (3.2):

$$Y(z) = STF(z)X(z) + NTF(z)E(z), \quad (3.2)$$

em que $X(z)$, $Y(z)$ e $E(z)$ representam, respectivamente, o sinal de entrada, o sinal de saída e o erro de quantização no domínio discreto. A função de transferência do sinal, $STF(z)$, descreve como o sinal útil é transmitido dentro da banda de interesse, enquanto a função de transferência do ruído, $NTF(z)$, é responsável por moldar o ruído de quantização, deslocando-o para fora da banda de frequência desejada, característica fundamental dos moduladores sigma-delta [9,30].

Considerando o caso ideal em que $STF(z) = 1$, a representação no domínio

da frequência da Equação (3.2) pode ser escrita como em 3.3:

$$Y(f) = X(f) + NTF(f)E(f). \quad (3.3)$$

A Figura 3.2 apresenta uma representação baseada na Equação (3.3). Na parte (a) são ilustrados os espectros de magnitude $|Y(f)|$ e $|H(f)|$, enquanto a parte (b) da figura mostra a relação $|\bar{Y}(f)| = |H(f)Y(f)|$, evidenciando o efeito da resposta em frequência do sistema sobre o sinal de saída. A partir da análise

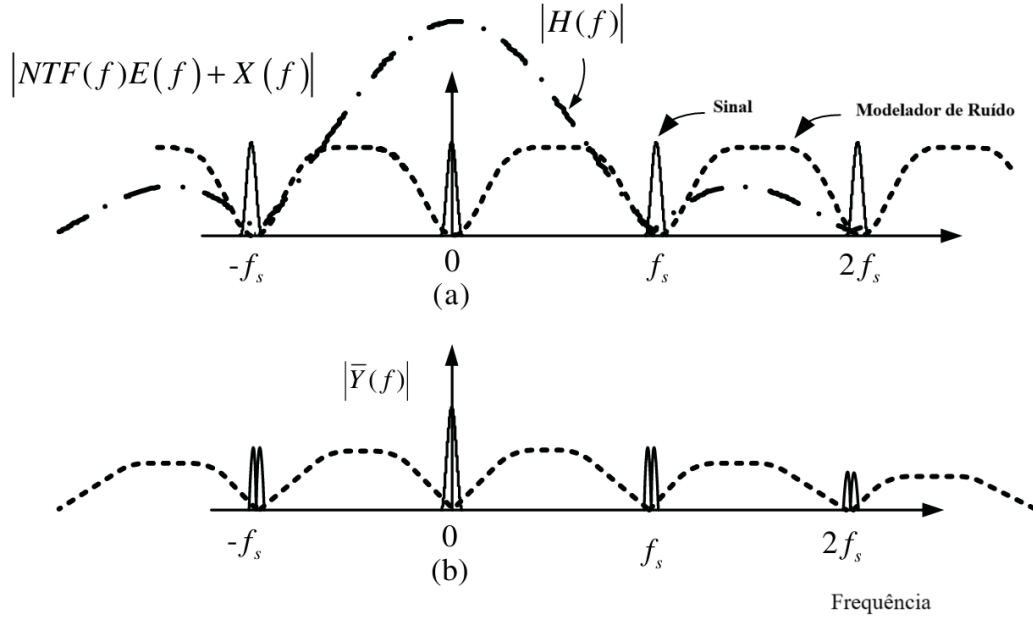


Figura 3.2: (a) Sinal $X(f)$ (linha sólida), ruído modelado $NTF(f)E(f)$ (linha tracejada), resposta em frequência $|H(f)|$ (linha tracejada e pontilhada). (b) Sinal de amostragem e retenção $\bar{Y}(f)$, adaptado [9].

da parte (a) da Figura 3.2, observa-se que tanto o sinal de entrada $X(f)$ quanto o ruído modelado $NTF(f)E(f)$ são replicados em torno das harmônicas da frequência de amostragem f_s . Esse comportamento é característico de sistemas amostrados, nos quais o espectro do sinal original é periodicamente repetido no domínio da frequência.

Conforme evidenciado na parte (b), as réplicas espectrais associadas ao sinal sofrem distorções devido à ação do processo de amostragem e retenção, com exceção da componente localizada na vizinhança da frequência zero. Essa réplica preserva as informações de interesse do sinal original, enquanto as demais são deslocadas para regiões de frequência mais elevadas, podendo ser posteriormente atenuadas por

filtragem adequada [9].

3.3 Moduladores Sigma-Delta de Primeira e Segunda Ordem

3.3.1 Modulador Sigma-Delta de 1ª Ordem

A compreensão dos moduladores $\Sigma\Delta$ de primeira ordem é fundamental para o entendimento de estruturas mais complexas dessa técnica de modulação [3]. Isso se deve ao fato de que os moduladores $\Sigma\Delta$ constituem a base para a implementação de conversores de sinais com modelagem de ruído concentrada na banda de interesse [3]. Uma das principais vantagens desse processo é a capacidade de converter o sinal de entrada em uma sequência digital que o representa de forma eficiente em uma faixa estreita de frequências, deslocando o ruído de quantização para fora da banda de operação. Esse comportamento decorre do princípio de modelagem espectral do ruído, característica essencial dos moduladores $\Sigma\Delta$, que possibilita a obtenção de maior resolução efetiva após a filtragem adequada [3, 31].

O ruído é introduzido no sistema durante o processo de quantização do sinal. O filtro presente na malha de realimentação é responsável por moldar as características espectrais desse ruído [31], de forma que a maior parte de sua potência seja deslocada para fora da faixa estreita de frequência de interesse [3, 31]. Para que esse comportamento seja obtido, o sistema emprega uma realimentação negativa filtrada, a qual atua diretamente sobre o erro de quantização, conferindo ao modulador as propriedades de modelagem espectral do ruído [31].

3.3.1.1 Modulador Sigma-Delta de 1ª Ordem em DAC's

A representação de um modulador $\Sigma\Delta$ de primeira ordem utilizado em um conversor digital analógico pode ser compreendida a partir do conhecimento de seu comportamento quando empregado em conversores ADC. Considerando um cenário no qual se deseja acionar um DAC de 8 bits a partir de um fluxo de dados com resolução de 16 bits, uma abordagem direta seria o descarte dos 8 bits menos significativos. Embora esse procedimento simplifique a implementação, ele resulta em

perda de resolução e introduz erro de quantização por truncagem. Como alternativa a essa abordagem, pode-se empregar um mecanismo de compensação do erro de truncagem ao longo do tempo. Nesse caso, o erro introduzido em um determinado ciclo é armazenado e compensado no ciclo subsequente, por meio de realimentação negativa, princípio fundamental dos moduladores $\Sigma\Delta$ [3] [31]. Essa técnica permite redistribuir o erro espectralmente, reduzindo seu impacto na banda de interesse.

Na Figura 3.3, é apresentado um sistema que ilustra o princípio de operação de um DAC de 8 bits aplicado à situação descrita, na qual o sinal de entrada possui uma maior largura de dados. Nesse contexto, os dados de entrada são representados por $d_1 + d_2 = d$ bits e são inseridos em um acumulador que incorpora um registrador de erro de truncagem. A saída desse acumulador é truncada para d_1 bits, que são utilizados para excitar o DAC de d_1 -bit.

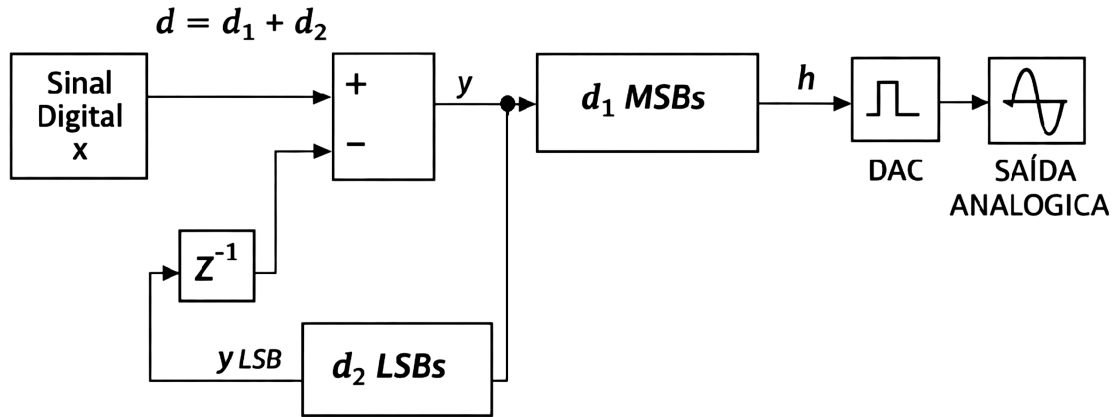


Figura 3.3: Diagrama de blocos de um $\Sigma\Delta$ de primeira ordem digital, adaptado [3].

O erro de truncagem associado aos d_2 -bits menos significativos não é descartado, sendo armazenado no registrador de erro e realimentado no ciclo seguinte. Esse processo caracteriza um modulador $\Sigma\Delta$ de primeira ordem no domínio digital, no qual a acumulação e a realimentação do erro promovem a modelagem espectral do ruído de quantização, deslocando sua maior parte para fora da banda de interesse [3]. Dessa forma, mesmo utilizando um DAC de menor resolução, é possível obter um desempenho efetivo superior ao de uma simples truncagem direta. Pode-se compreender a operação de truncagem representada na Figura 3.3 como a remoção dos bits menos significativos. Nesse contexto, define-se que $h = y - y_{LSB}$, em que

y_{LSB} representa o erro de truncagem associado aos d_2 bits menos significativos presentes em y . Essa representação permite interpretar a truncagem não como uma simples perda de informação, mas como um erro quantificável e passível de compensação ao longo do tempo. Tal comportamento pode ser analisado a partir da Equação (3.4) [3].

$$y(n) = x(n) + y_{LSB}(n-1) \quad (3.4)$$

Contudo, considerando que $y_{LSB} = y(n-1) - h(n-1)$ a Equação (3.4) pode ser reescrita da seguinte forma:

$$y(n) = x(n) + y(n-1) - h(n-1) \quad (3.5)$$

Dessa forma, observa-se que esse sistema de modulação de primeira ordem responde a uma entrada contínua por meio da alternância dos códigos aplicados à entrada do DAC. Essa alternância faz com que os níveis adjacentes do conversor, quando observados na média da saída analógica, se equiparem ao valor correspondente à entrada original de d bits. Esse comportamento evidencia o princípio de modelagem do erro de quantização, característico dos moduladores $\Sigma\Delta$, no qual o erro de truncagem é redistribuído no tempo, reduzindo seu impacto na banda de interesse [3].

Pode-se realizar a análise do modulador $\Sigma\Delta$ de primeira ordem no domínio- z , conforme discutido anteriormente. Ao se substituir o quantizador por um modelo linear equivalente, torna-se possível representar o sistema por meio de uma relação algébrica que descreve seu comportamento dinâmico. Esse modelo linear pode ser expresso a partir da Equação (3.6), amplamente utilizada na análise teórica de moduladores $\Sigma\Delta$ [3] [25].

$$Y(z) = z^{-1}Y(z) + X(z) - z^{-1}H(z) \quad (3.6)$$

A partir dessa expressão, o sinal de saída quantizado $H(z)$ pode ser determinado conforme apresentado na Equação (3.7). Nesse desenvolvimento, o erro de quantização é representado por $E(z)$, permitindo separar explicitamente a contribuição do sinal de entrada e do ruído introduzido pelo processo de quantização.

$$\begin{aligned}
H(z) &= Y(z) + E(z) \\
&= z^{-1}Y(z) + X(z) - z^{-1}H(z) + E(z) \\
&= X(z) + E(z) - z^{-1}(H(z) - Y(z)) \\
&= X(z) + E(z) - z^{-1}E(z) \\
&= X(z) + (1 - z^{-1})E(z)
\end{aligned} \tag{3.7}$$

A Equação (3.7) evidencia que o sinal de saída é composto pela soma do sinal de entrada $X(z)$ e de um termo associado ao erro de quantização, multiplicado pelo fator $1 - z^{-1}$. Esse fator caracteriza a modelagem do ruído de quantização em um modulador $\Sigma\Delta$ de primeira ordem, deslocando sua maior parte para frequências mais elevadas. A análise do comportamento do sistema para sinais contínuos pode ser realizada a partir da avaliação da resposta em corrente contínua, considerando-se $z = 1$. Nessa condição, o termo $1 - z^{-1}$ se anula, implicando que a contribuição do erro de quantização torna-se nula em regime permanente. Assim, sendo o valor DC de $E(z)$ transitório, obtém-se $H(1) = X(1)$, conforme descrito pela Equação (3.7). Esse resultado confirma a capacidade dos moduladores $\Sigma\Delta$ de primeira ordem em reproduzir com elevada precisão sinais DC, mesmo na presença do processo de quantização [3] [25].

3.3.2 Modulador Sigma-Delta de 2ª Ordem

Os moduladores $\Sigma\Delta$ de primeira ordem apresentam diversas vantagens, tais como a simplicidade de implementação, boa estabilidade e elevada robustez. No entanto, quando analisados sob os aspectos de resolução e da ocorrência de idle tones, esses moduladores tornam-se limitados para grande parte das aplicações práticas. Dessa forma, surge a necessidade de empregar arquiteturas capazes de superar essas limitações.

Uma alternativa amplamente utilizada consiste nos moduladores $\Sigma\Delta$ de segunda ordem, os quais proporcionam melhor conformação espectral do ruído de quantização. Entretanto, essa melhoria ocorre à custa de um aumento no número de componentes físicos do sistema e de uma redução na faixa dinâmica de operação

do sinal, conforme discutido em [3]. Uma forma simplificada de representar um modulador $\Sigma\Delta$ de segunda ordem consiste na substituição do quantizador presente no modelo de primeira ordem por um sistema estruturalmente equivalente a ele.

O quantizador pode ser modelado matematicamente de modo que sua representação seja expressa pela Equação (3.8). A partir dessa formulação, obtém-se a Equação (3.9), que descreve o comportamento do sistema de forma linearizada. Esse conjunto de equações possibilita a análise do modulador no domínio- z .

$$\begin{aligned} H(z) &= E(z) + \frac{1}{1 - z^{-1}} \left(-z^{-1}H(z) + \frac{1}{1 - z^{-1}} (-z^{-1}H(z) + X(z)) \right) \\ &= \frac{(1 - z^{-1})^2 E(z) - [(1 - z^{-1})z^{-1} + z^{-1}] H(z) + X(z)}{(1 - z^{-1})^2} \end{aligned} \quad (3.8)$$

Resultando em,

$$H(z) = X(z) + (1 - z^{-1})^2 E(z) \quad (3.9)$$

Para o modulador $\Sigma\Delta$ de segunda ordem, a função de transferência do sinal permanece unitária, ou seja, $STF(z) = 1$, de forma análoga ao que ocorre no modulador de primeira ordem. Por outro lado, a função de transferência do ruído passa a ser dada por $NFT = (1 - z^{-1})^2$.

Observa-se que essa função corresponde ao quadrado da NTF do modulador de primeira ordem, o que implica em uma conformação mais acentuada do ruído de quantização. Como consequência, ocorre uma atenuação significativamente maior do ruído em baixas frequências, deslocando sua maior parte para regiões espectrais mais elevadas [3, 25].

Podemos analisar o comportamento da NFT no domínio da frequência por meio da Equação (3.10).

$$|NFT(e^{j2\pi f})|^2 = (2\sin(\pi f))^4 \approx (2\pi f)^4, \text{ para } f \ll 1 \quad (3.10)$$

A partir da equação anteriormente apresentada, a Figura 3.4 ilustra uma comparação entre as funções de transferência do ruído (NFT) em baixas frequências. Observa-se que o modulador de primeira ordem apresenta uma inclinação de aproximadamente

20 dB, enquanto o modulador de segunda ordem apresenta uma inclinação de 40 dB. Esse comportamento evidencia uma atenuação significativamente maior do ruído de quantização em frequências próximas à componente DC no modulador de segunda ordem. Tal característica é fundamental, pois contribui diretamente para a redução do ruído dentro da banda de interesse e, conseqüentemente, para a melhoria da qualidade do sinal processado, conforme discutido em [3].

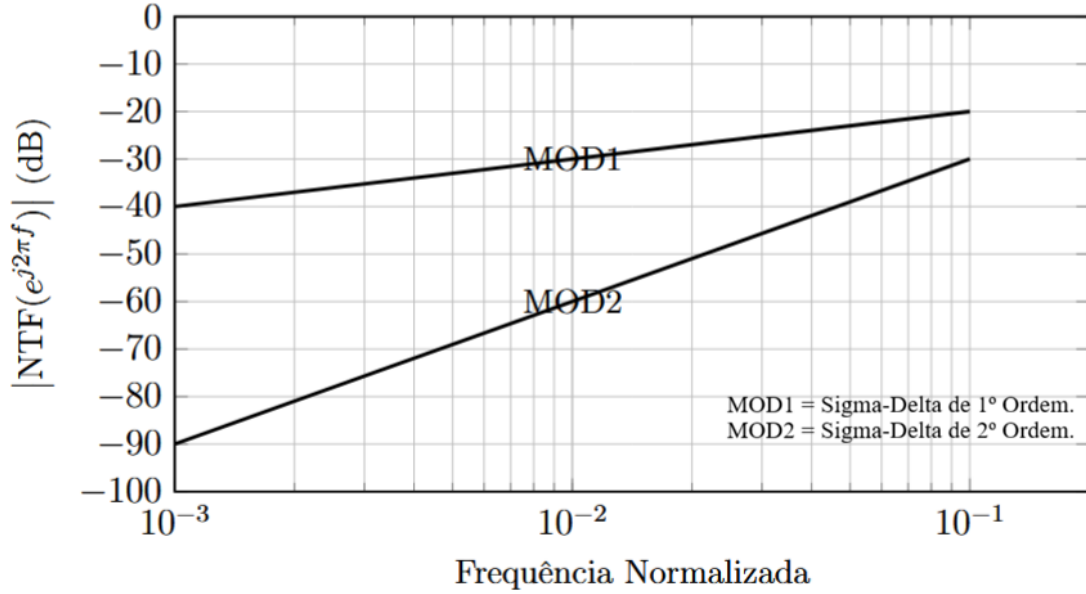


Figura 3.4: Comparação da NTF's de moduladores $\Sigma\Delta$ de primeira e segunda ordem.

Em sistemas de comunicação, a redução do ruído dentro da banda de interesse é um fator crítico para o desempenho global do sistema. Nesse contexto, o modulador $\Sigma\Delta$ de segunda ordem apresenta vantagens adicionais, como um grau mais elevado de linearidade, o que possibilita a obtenção de valores superiores de relação sinal-ruído (SNR) quando comparado ao modulador de primeira ordem. Além disso, o ganho de desempenho associado à sobreamostragem é significativamente mais pronunciado em moduladores de ordem superior. Para o caso do modulador de segunda ordem, o OSR contribui de forma mais eficiente para a redução do ruído de quantização, apresentando uma dependência proporcional a 10^5 , enquanto no modulador de primeira ordem essa relação é menos acentuada. O aumento da taxa de sobreamostragem torna-se, portanto, essencial para alcançar elevados níveis de confiabilidade e menores níveis de distorção nos sinais submetidos ao processo de modulação $\Sigma\Delta$ de segunda ordem. De forma geral, o aumento da ordem do mo-

dulador resulta em respostas de processamento mais eficazes na supressão do ruído de quantização, tornando essas arquiteturas mais adequadas para aplicações que exigem maior resolução e melhor desempenho espectral.

3.3.3 Aplicações de Moduladores Sigma-Delta

A modulação $\Sigma\Delta$ tem sido amplamente difundida em diversas aplicações que propõem alternativas aos sistemas baseados no critério de Nyquist [32]. Nesse contexto, numerosos trabalhos na literatura descrevem o processo de modulação e investigam diferentes ordens de moduladores $\Sigma\Delta$, aplicados aos mais variados tipos de sinais.

Em [33], apresenta-se a utilização de um modulador $\Sigma\Delta$ de quarta ordem e mono-bit aplicado à modulação de sinais em sistemas de radio over fiber (RoF). O modelo proposto é inteiramente digital e tem como principal característica a modelagem eficiente do ruído do sinal de entrada, contribuindo para a redução da latência dos dados transmitidos no sistema. Além disso, o modulador apresenta elevada velocidade de resposta, operando em faixas de frequência superiores a 20 GHz, o que o torna adequado para aplicações de comunicação óptica de alta capacidade.

Outra área de grande relevância para a aplicação da modulação $\Sigma\Delta$ é o setor biomédico. Entre as diversas arquiteturas existentes, destacam-se os moduladores $\Sigma\Delta$ em tempo contínuo, que oferecem vantagens como baixo consumo de energia e boa linearidade. No trabalho apresentado em [34], é descrito um modulador fabricado em tecnologia CMOS de 180 nm, projetado com base analógica e otimizado para consumo mínimo de potência, mantendo um desempenho satisfatório em termos de SNDR. Esse modulador é aplicado à aquisição de sinais biomédicos, como eletrocardiograma (ECG) e eletroencefalograma (EEG).

Ainda no contexto biomédico, os moduladores $\Sigma\Delta$ são amplamente utilizados em sistemas de ultrassonografia, um dos principais exames diagnósticos disponíveis atualmente. Trata-se de uma técnica não invasiva e associada a baixos riscos à saúde do paciente, especialmente quando comparada a métodos como tomografia computadorizada e ressonância magnética. Em [35], é apresentado um conversor analógico-digital baseado em modulação $\Sigma\Delta$ de alta resolução, desenvolvido especificamente para aplicações em ultrassonografia com Doppler colorido. O sistema

demonstra melhor qualidade de sinal na saída, além de valores elevados de ENOB, atendendo às exigências impostas por esse tipo de exame.

Sensores desempenham um papel fundamental no avanço tecnológico, pois são responsáveis por converter grandezas físicas do mundo real em sinais elétricos passíveis de processamento digital. Em sistemas críticos, que exigem alta resolução e elevada precisão na leitura dos dados, a modulação $\Sigma\Delta$ surge como uma alternativa eficiente, especialmente pela sua capacidade de reduzir a distorção do sinal. Um exemplo típico dessa aplicação ocorre em sensores de gás, nos quais o sinal analógico de entrada necessita ser convertido com elevada fidelidade. O uso de técnicas de sobreamostragem associadas à modulação $\Sigma\Delta$ permite deslocar o ruído de quantização para fora da banda de interesse, possibilitando sua posterior atenuação por meio de filtragem digital, conforme discutido em [32].

Além disso, a modulação $\Sigma\Delta$ também se mostra eficaz em sistemas de comunicação óptica, contribuindo tanto para a supressão de ruídos quanto para a melhoria da latência dos dados transmitidos. Uma aplicação baseada em moduladores $\Sigma\Delta$ é analisada em [36], na qual se busca atender ao aumento da demanda por tráfego de dados móveis, impulsionado por aplicações como realidade virtual e serviços de alta taxa de transmissão. Nesse cenário, a conformação espectral do ruído e a atenuação na banda de passagem resultam em espectros de saída mais suaves e adequados às exigências do sistema.

Dessa forma, observa-se que a modulação $\Sigma\Delta$ apresenta uma ampla gama de aplicações, abrangendo desde sistemas de comunicação até dispositivos biomédicos e sensores. Seus diferentes modelos e ordens permitem projetar sistemas capazes de suprimir eficientemente o ruído dentro da banda de interesse, tornando essa técnica uma solução versátil e robusta para aplicações que demandam elevada qualidade de sinal.

Capítulo 4

Modulador Sigma-Delta com Processamento Pseudo-Paralelo

Um elevado valor da razão de sobreamostragem (OSR) constitui um dos principais fatores limitantes em moduladores do tipo sigma delta [9] [7], levando projetistas a adotarem maior cautela quanto à sua aplicação em sistemas que operam em altas frequências. Com o passar dos anos, a técnica de superamostragem tornou-se amplamente difundida no contexto da conversão de dados [37]. Moduladores baseados em modelos $\Sigma\Delta$ apresentam elevada linearidade, configurando-se como uma alternativa eficiente quando comparados a outros sistemas com a mesma finalidade [38]. Entretanto, a obtenção de elevados níveis de linearidade nesses moduladores exige, de modo geral, valores significativamente altos de sobreamostragem [9].

Nesse contexto, a implementação e a avaliação de novas arquiteturas têm despertado o interesse de projetistas voltados ao desenvolvimento de conversores com alto fator de mérito e maior largura de banda do sinal de entrada [9] [30] [39] [40]. Diversas pesquisas vêm sendo realizadas com o objetivo de investigar técnicas de processamento de sinais multitaxa, visando reduzir a dependência de valores elevados de superamostragem [9]. Em [41], por exemplo, uma transformada de Hadamard é empregada para decompor o espectro do sinal de entrada em bandas menores. Esse procedimento é explorado em arquiteturas baseadas em moduladores sigma-delta, nas quais os sinais são processados separadamente e, posteriormente, recombinaos na saída do sistema [9].

Um projeto eficiente em termos de área foi apresentado em [42], no qual múl-

tiplos moduladores sigma-delta operam em paralelo, associados a um processamento analógico prévio do sinal de entrada e a um processamento digital posterior dos sinais de saída. Tal abordagem tem como principal objetivo a redução do processo conhecido como sobreamostragem temporal. A partir da utilização de moduladores em paralelo como estratégia para reduzir a OSR e mitigar problemas de instabilidade associados a moduladores de ordem elevada, surgiu uma nova arquitetura baseada no encadeamento de diversos moduladores operando em paralelo e sincronizados no mesmo ciclo de clock. Essa arquitetura passou a ser conhecida como Modulador Sigma Delta Pseudo-Paralelo (PDSM) [9] [43].

Outra proposta de arquitetura $\Sigma\Delta$ foi apresentada em [44], na qual se utiliza a técnica de entrelaçamento no tempo em tecnologia CMOS de 65 nm, com o objetivo de ampliar a largura de banda de um conversor passa-altas. Essa abordagem busca reduzir as dificuldades associadas à implementação de conversores de alto desempenho em sistemas com restrições de área e complexidade de hardware.

Dessa forma, neste trabalho é empregada a arquitetura baseada em [9], aplicada a um sinal de rede 5G NR, especificamente no formato OFDMA (Orthogonal Frequency Division Multiple Access). Considera-se uma frequência de amostragem de 3,8 GHz, largura de banda de 100 MHz e fator de desenrolamento igual a três. Além disso, são apresentadas as etapas do processo de layout de circuitos integrados digitais, desenvolvidos em tecnologia CMOS de 130 nm, utilizando as ferramentas open source de projeto de circuitos integrados.

4.1 PDSM de Baixa sobreamostragem

Nesta seção, é apresentado o funcionamento de um PDSM operando com baixa razão de sobreamostragem, utilizando a técnica proposta em [9]. Em moduladores do tipo SDM com processamento tradicional, a frequência de amostragem (f_s) e a frequência proveniente do clock do próprio modulador são, em geral, equivalentes. Contudo, pode-se considerar uma abordagem mais abrangente na qual f_s representa a frequência de operação do modulador sigma delta, enquanto f'_s corresponde à frequência do clock interno desse mesmo sistema.

Admite-se, nesse contexto, que essas frequências não sejam necessariamente

iguais, sendo $f'_s > f_s$. A partir dessa relação, a análise pode ser conduzida por meio de um número inteiro positivo definido pela razão f'_s/f_s , o qual é denotado por N . Dessa forma, ao longo de N ciclos de tempo associados ao clock f'_s , existe apenas um único valor periódico de entrada aplicado ao modulador sigma-delta. Essa característica evidencia o comportamento temporal do sinal de entrada em relação à dinâmica interna do modulador. Assumindo-se que f'_s represente a frequência efetiva de operação do PDSM, essa grandeza pode ser interpretada como uma variação da nomenclatura usualmente associada à frequência de amostragem em moduladores sigma-delta convencionais. Assim, para todos os elementos de processamento que compõem a arquitetura do PDSM, a frequência de operação é f_s com exceção do multiplexador, cujo funcionamento ocorre à frequência f'_s . Essa distinção é fundamental para compreender o mecanismo de processamento pseudo-paralelo adotado nessa arquitetura.

A Figura 4.1 ilustra a representação de um SDM com entrada periódica, considerando o caso particular em que $N = 2$. Observa-se que, quando a frequência f_s é superior à taxa de Nyquist do sinal de entrada $x(t)$, o sinal de saída obtido na banda base apresenta elevada qualidade. Tal comportamento está diretamente relacionado ao princípio da sobreamostragem, que contribui para a redistribuição espectral do ruído de quantização, reduzindo sua influência na faixa de interesse do sistema.

De acordo com a Equação (4.1), analisa-se a forma de obtenção da taxa de sobreamostragem para o processo de modulação pseudo-paralela aplicado a sinais do tipo OFDMA. Neste contexto, BW corresponde à largura de banda bilateral do sinal de interesse.

$$OSR = \frac{f_s}{BW} \quad (4.1)$$

Em grande parte dos casos, a frequência de amostragem f_s é representada como sendo aproximadamente oito vezes superior à taxa de Nyquist do sinal de entrada. Em moduladores sigma-delta convencionais, valores de OSR próximos a 256 são comumente adotados, visando à obtenção de sinais com elevada qualidade e alta resolução na banda base.

Entretanto, a frequência de amostragem do sinal de entrada em um modulador $\Sigma\Delta$ pode assumir valores significativamente menores, situando-se tipicamente

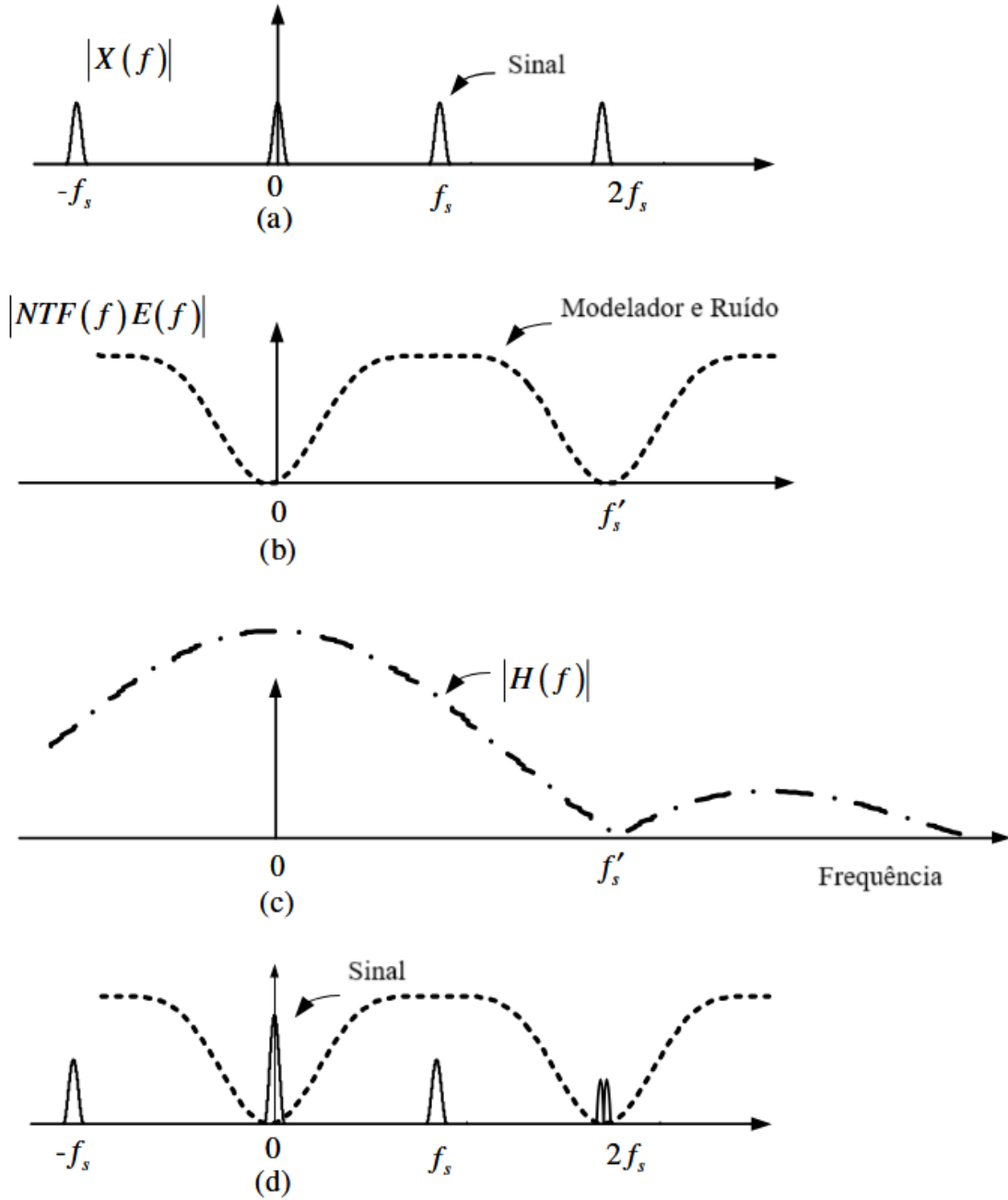


Figura 4.1: (a) Sinal $x(f)$ - linha contínua; (b) ruído modelado $NTF(f)E(f)$ - linha tracejada; (c) resposta em frequência do circuito $H(f)$ - linha ponto-traço; (d) Sinal de saída para $f_s \neq f_{clock}$ no $\Sigma\Delta$, adaptado [9].

em torno de 32 vezes a taxa de Nyquist, podendo variar levemente acima desse valor, dependendo das especificações do sistema e da aplicação considerada.

Sob a ótica dos aspectos conceituais e funcionais do processo de modulação, observa-se que a sobreamostragem do sinal de entrada, por si só, não é uma condição estritamente necessária para garantir alta resolução na saída do modulador $\Sigma\Delta$ na banda base. Nesse sentido, torna-se essencial a utilização de uma elevada frequência

de operação interna do modulador, usualmente em torno de 250 vezes a taxa de Nyquist do sinal de entrada. Essa alta frequência de execução permite que o ruído de quantização seja moldado e deslocado para uma ampla faixa espectral fora da banda de interesse, promovendo, conseqüentemente, a redução efetiva do conteúdo de ruído na banda útil do sinal e aumentando o grau de aproveitamento espectral do sistema.

4.2 Modulador $\Sigma\Delta$ Pseudo-Paralelo com Fator de Desenrolamento 3, executável em Tecnologia CMOS Digital

Em um modulador sigma-delta convencional, as amostras do sinal de entrada são processadas sequencialmente ao longo de N ciclos de clock. Considerando esse aspecto, a modulação proposta neste trabalho baseia-se em um modelo que utiliza um conjunto de combinações paralelas de amostras periódicas, organizadas em N ligações, fazendo uso da estrutura de um modulador sigma delta tradicional.

O modulador projetado mantém a mesma ordem de um modulador convencional empregado na arquitetura PDSM. Dessa forma, N é definido como o fator de desenrolamento do PDSM. Neste trabalho, é adotado um modulador $\Sigma\Delta$ de segunda ordem, com fator de desenrolamento $N = 3$, aplicado ao projeto de circuitos integrados digitais.

De acordo com a Figura 4.2, observa-se a representação de um modelo característico de um PDSM de segunda ordem com fator de desenrolamento $N = 3$. A partir dessa análise, verifica-se que o sinal de entrada do SDM possui frequência de amostragem f_s , enquanto os elementos de processamento internos do modulador operam sincronizados a uma frequência de clock f_s .

No que se refere ao rendimento do PDSM, a frequência associada ao entorno do multiplexador é o fator que assegura o correto funcionamento da arquitetura. Essa frequência é identificada como $f'_s = 3f_s$, sendo f'_s considerada a frequência efetiva de operação do PDSM. Tal condição decorre do processamento em paralelo introduzido pela técnica de desenrolamento, no qual múltiplos caminhos de dados

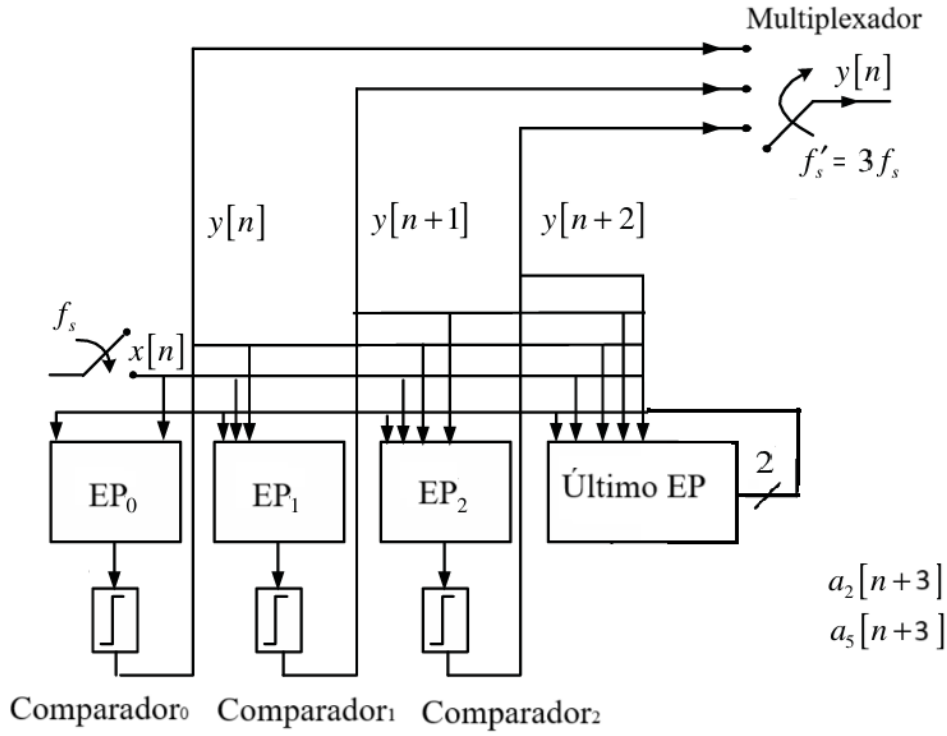


Figura 4.2: Implementação Digital do PDSM de 2ª ordem com $N = 3$.

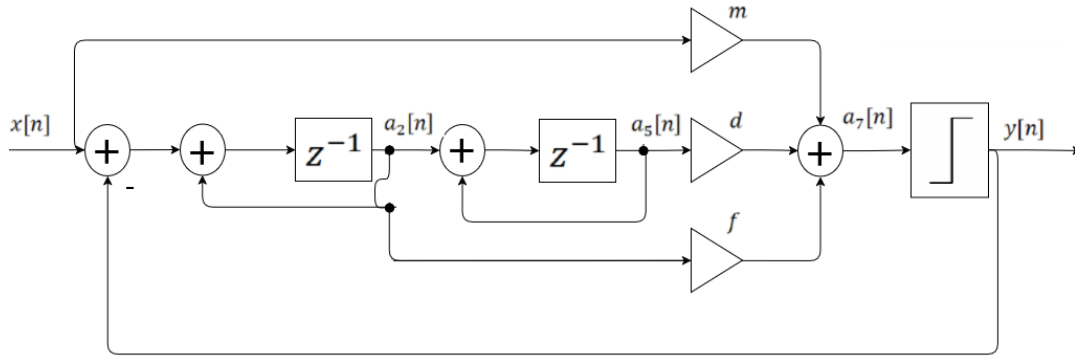


Figura 4.3: Modulador sigma-delta de 2ª ordem.

operam simultaneamente a partir de um mesmo sinal de entrada. A Figura 4.3 apresenta o modulador utilizado como base de acordo com o estado da arte para a construção dos moldes empregados no processo de cálculo dos intervalos correspondentes a $x[n]$, $x[n+1]$, e $x[n+2]$, e para encontrar os melhores valores de coeficientes. Essa estrutura de referência permite compreender a relação entre a periodicidade do sinal de entrada e a execução interna do modulador ao longo dos ciclos consecutivos de clock.

Considerando que os sinais $a_2[n]$, $a_5[n]$, $a_7[n]$, $x[n]$ e $y[n]$ correspondem aos sinais associados, respectivamente, aos nós a_2 , a_5 , a_7 , x e y no instante discreto de amostragem n , os sinais de entrada e de saída do modulador sigma delta são representados por $x[n]$ e $y[n]$, respectivamente.

Admitindo-se um fator de desenrolamento $N = 3$, o sinal de entrada torna-se periódico ao longo de três fases consecutivas de clock de frequência f'_s , de modo que $x[n] = x[n+1] = x[n+2]$, sendo n um múltiplo de três. Essa característica decorre diretamente da arquitetura pseudoparalela, na qual um mesmo valor de entrada é reutilizado durante múltiplos ciclos internos de processamento.

Por meio da Equação (4.2), observa-se o procedimento de cálculo dos valores dos nós a_2 e a_5 no instante $n+1$, utilizando-se as informações armazenadas nos estados anteriores do sistema. Essas relações descrevem a dinâmica interna dos integradores do modulador, bem como a formação do sinal aplicado ao quantizador.

$$\begin{aligned}
a_2[n+1] &= a_2[n] + x[n] - y[n] \\
a_5[n+1] &= a_2[n] + a_5[n] \\
a_7[n] &= f a_2[n] + d a_5[n] + m x[n] \leftarrow EP_0 \\
y[n] &= Q(a_7[n]) \leftarrow Comp_0
\end{aligned} \tag{4.2}$$

Sendo utilizados os valores de $a_2[n]$, $a_5[n]$, $a_7[n]$, $x[n]$ e $y[n]$, pode-se determinar o valor de $a_7[n]$, conforme representado na terceira parcela da Equação (4.2). Para o período n , o sinal $a_7[n]$ é submetido ao processo de quantização em um quantizador de dois níveis, assumindo apenas os valores -1 e +1. Dessa forma, evidencia-se que o sinal de saída do modulador SDM corresponde diretamente ao valor resultante do processo de quantização aplicado a $a_7[n]$.

Observa-se que as duas parcelas finais da referida equação, associadas a $a_7[n]$ e $y[n]$, representam duas partes distintas da arquitetura do PDSM. Especificamente, $a_7[n]$ está relacionado ao elemento de processamento EP_0 , enquanto $y[n]$ corresponde à saída do quantizador de 1 bit, implementado neste caso pelo *Comparador*₀.

Assim, a estrutura evidencia a separação funcional entre o processamento interno do sinal e a etapa não linear de quantização. Partindo agora para a Equação (4.3), observa-se que esta é construída a partir dos sinais fornecidos por a_2 e a_5 considerando os resultados obtidos no intervalo anterior. Sabendo-se que o sinal de entrada

é x e assumindo-se que este seja periódico nos instantes n e $n + 1$, tem-se que $x[n] = x[n + 1]$. Essa hipótese simplifica a análise temporal, permitindo avaliar o comportamento do sistema por meio do incremento dos índices discretos. Dessa forma, torna-se possível estender a análise para o instante $x[n+2]$, investigando como os estados internos evoluem ao longo dos períodos subsequentes. Essa abordagem é coerente com a modelagem discreta típica de moduladores sigma-delta, nos quais os estados internos dependem tanto da entrada quanto das amostras previamente processadas.

$$\begin{aligned}
a_2[n + 2] &= a_2[n + 1] + x[n + 1] - y[n + 1] \\
&= (a_2[n] + x[n] - y[n]) + x[n] - y[n + 1] \\
&= a_2[n] + 2x[n] - y[n] - y[n + 1] \\
a_5[n + 2] &= a_2[n + 1] + a_5[n + 1] \\
&= (a_2[n] + x[n] - y[n]) + (a_2[n] + a_5[n]) \\
&= 2a_2[n] + a_5[n] + x[n] - y[n] \\
a_7[n + 1] &= fa_2[n + 1] + da_5[n + 1] + mx[n + 1] \\
&= f(a_2[n] + x[n] - y[n]) + d(a_2[n] + a_5[n]) + mx[n] \\
&= (f + d)a_2[n] + da_5[n] + (f + m)x[n] - fy[n] \\
&= h_{11}a_2[n] + da_5[n] + z_{11}x[n] - fy[n] \leftarrow EP_1 \\
y[n + 1] &= Q(a_7[n + 1]) \leftarrow Comp_1
\end{aligned} \tag{4.3}$$

Em que $h_{11} = f + d$ e $z_{11} = f + m$. Conforme apresentado na equação anterior (4.3), as duas últimas parcelas estão relacionadas ao elemento de processamento EP_1 e ao quantizador de 1 bit, representado pelo *Comparador*₁, responsável por realizar a leitura do sinal no instante $y[n + 1]$.

A partir dessas definições, observa-se que o cálculo de $a_7[n + 1]$ pode ser dividido em duas partes distintas. A primeira parte envolve os sinais a_2 , a_5 e x no período n , podendo ser completamente processada dentro desse mesmo intervalo de amostragem. Já a segunda parte apresenta dependência do sinal $y[n]$, o qual é disponibilizado pelo primeiro elemento de processamento ao final do ciclo n . Essa organização evidencia uma característica fundamental da arquitetura pseudo

paralela, a separação entre termos independentes e termos dependentes do resultado previamente quantizado. Dessa forma, os valores que não dependem de $y[n]$ podem ser pré-calculados e armazenados em registradores. A parcela dependente do sinal quantizado que assume apenas dois níveis, devido ao quantizador de 1 bit é posteriormente selecionada por meio de multiplexação. Assim que $y[n]$ se torna disponível, ocorre a seleção adequada entre os valores previamente armazenados, garantindo a continuidade do fluxo de processamento sem comprometer a taxa efetiva de operação.

A Equação (4.4) descreve o funcionamento do segundo elemento de processamento, EP_2 , bem como do segundo comparador, no instante $n + 2$. Considera-se ainda que $x[n] = x[n+2]$, hipótese válida no contexto de sobreamostragem reduzida adotado na arquitetura.

$$\begin{aligned}
a_7[n+2] &= fa_2[n+2] + da_5[n+2] + mx[n+2] \\
&= v_{11}a_2[n] + da_5[n] + i_{11}x[n] - h_{11}y[n] - fy[n+1] \leftarrow EP_2 \\
y[n+2] &= Q(a_7[n+2]) \leftarrow Comp_2
\end{aligned} \tag{4.4}$$

A organização em estágios sucessivos de processamento, aliada ao uso de registradores e multiplexadores, permite que a arquitetura mantenha coerência temporal entre os sinais internos, ao mesmo tempo em que viabiliza a execução pseudo-paralela do algoritmo, característica essencial para reduzir a frequência efetiva de operação sem alterar a resposta funcional do modulador.

Para o sistema equacional apresentado em (4.4), tem-se que $v_{11} = f+2d$, $i_{11} = 2f + d + m$ e, como mencionado anteriormente, $h_{11} = f + d$. Com base nos valores obtidos nos intervalos anteriores de processamento, pode-se determinar a equação característica no instante $n + 3$. Dessa forma, os desenvolvimentos apresentados evidenciam que o funcionamento do PDSM ocorre dentro de um mesmo ciclo de clock de frequência f'_s ainda que internamente haja a combinação de múltiplos estados intermediários. A Equação (4.5) apresenta o modelo matemático correspondente ao último elemento de processamento, resultante do processo de desenrolamento para $N = 3$.

$$\begin{aligned}
a_2[n+3] &= a_2[n+2] + x[n+2] - y[n+2] \\
&= (a_2[n] + 2x[n] - y[n] - y[n+1]) + x[n] - y[n+2] \\
&= a_2[n] + 3x[n] - y[n] - y[n+1] - y[n+2] \\
a_5[n+3] &= a_2[n+2] + a_5[n+2] \\
&= (a_2[n] + 2x[n] - y[n] - y[n+1]) + (2a_2[n] + a_5[n] + x[n] - y[n]) \\
&= 3a_2[n] + a_5[n] + 3x[n] - 2y[n] - y[n+1] \tag{4.5}
\end{aligned}$$

Observa-se que os termos obtidos em $n+3$ representam a superposição dos efeitos acumulados ao longo dos três instantes consecutivos de processamento interno. Esse resultado confirma que o desenrolamento para $n=3$ equivale, do ponto de vista matemático, à execução sequencial de três iterações do modulador convencional, porém consolidada em um único ciclo efetivo de clock f'_s .

A partir desses valores, o modulador com processamento pseudoparalelo e fator de desenrolamento $n=3$ foi estruturado conforme apresentado na Figura 4.4. A arquitetura resultante preserva a dinâmica interna e a característica de moldagem do ruído, ao mesmo tempo em que reorganiza o fluxo temporal de dados para permitir maior taxa efetiva de processamento.

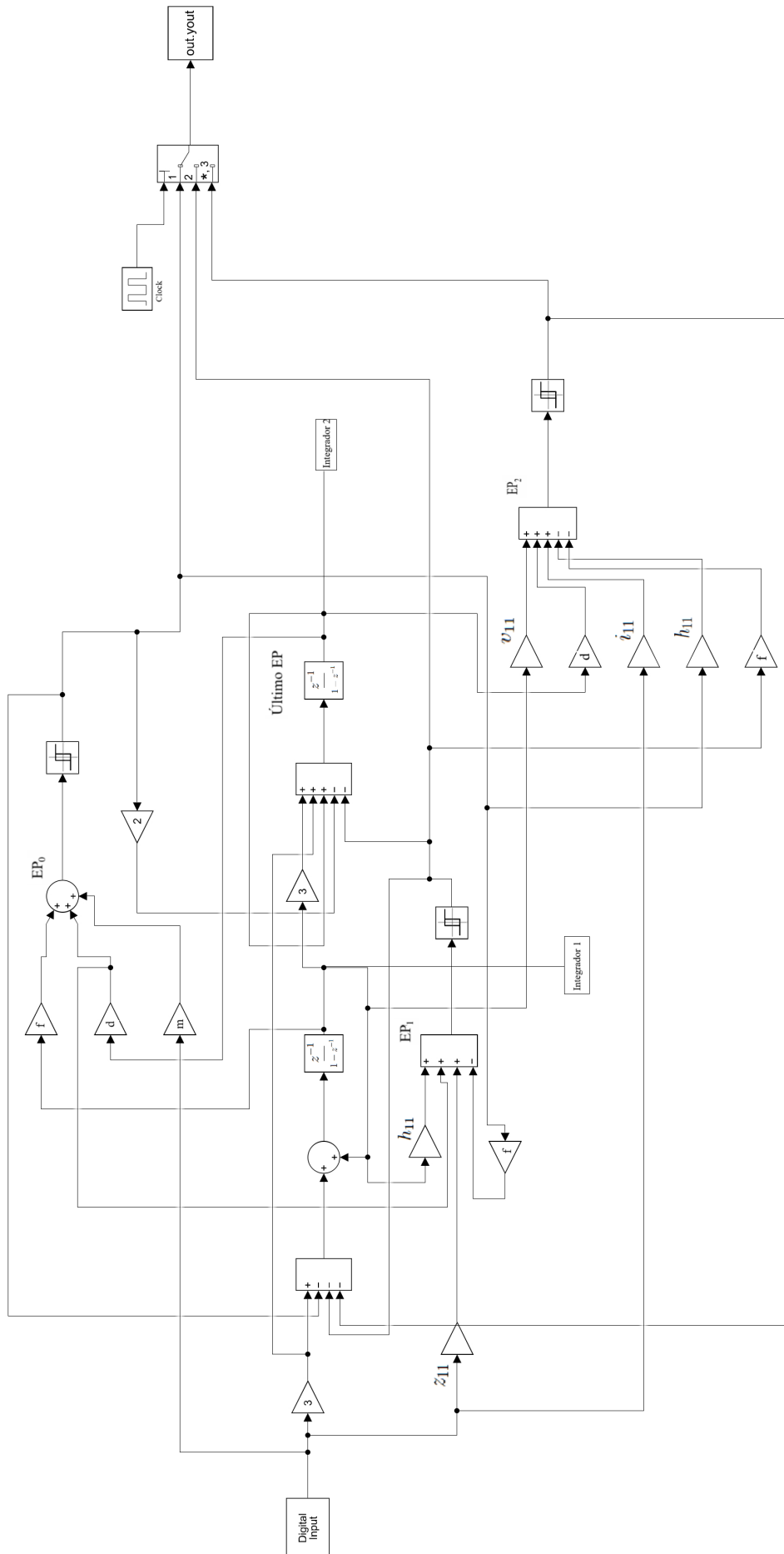


Figura 4.4: Modulador pseudo paralelo com $N = 3$.

4.3 PDSM em Sinais de OFDMA da rede 5G NR

O sinal de entrada no PDSM é uma forma de onda digital em múltiplas portadoras ortogonais, proveniente de uma modulação conhecida como Acesso Múltiplo por Divisão de Frequência Ortogonal, tecnologia amplamente utilizada nos sistemas 4G LTE e, principalmente, no 5G NR. Diferentemente de moduladores sigma delta convencionais que recebem entradas analógicas de baixa frequência, o enfoque deste trabalho está na manipulação direta de sinais digitais de alta taxa, provenientes da camada de baseband, eliminando etapas intermediárias de conversão digital analógica.

No 5G NR, o OFDMA é empregado devido à sua robustez contra desvanecimentos seletivos em frequência, flexibilidade na alocação de recursos e capacidade de suportar diferentes bandwidth parts, para múltiplos usuários. O sinal de entrada típico consiste em uma superposição de subportadoras espaçadas ortogonalmente, moduladas em esquemas como QPSK, 16-QAM, 64-QAM ou até 256-QAM. Assim, o sinal digital recebido pelo modulador sigma delta conserva tanto a informação espectral como a estrutura temporal da transmissão, o que exige que o modulador opere em taxas de amostragem elevadas, adequadas ao processamento direto do espectro OFDMA [45] [46].

A principal diferença em relação a trabalhos clássicos de conversores sigma delta está na natureza do sinal de entrada. Enquanto a literatura tradicional modela o quantizador sigma delta como um conversor analógico-digital aplicado a uma senoide ou a sinais de baixa frequência, este trabalho estende o conceito ao domínio totalmente digital, em que o OFDMA é alimentado diretamente na arquitetura. Essa abordagem tem base em pesquisas atuais deste campo, que possuem tendências de técnicas em SDRs (Software Defined Radios), que visam reduzir a complexidade dos sistemas de transmissão analógicos e explorar arquiteturas digitais para aumento de linearidade e reconfigurabilidade [3] [2].

Tendo em vista as aplicações do modulador sigma delta digital, a entrada se encontra na forma discreta apropriada para processamento, eliminando ambiguidades sobre conversão analógica. Neste caso isso significa que o sistema proposto é como um filtro de ruído digital aplicado sobre um sinal de Acesso Múltiplo por Divisão de Frequência Ortogonal do 5G NR, em que a função do sigma delta é moldar

o ruído de quantização para fora da banda útil, garantindo maior relação sinal ruído e a preservação da qualidade da transmissão. Trabalhos recentes têm apontado a viabilidade desta integração, demonstrando que moduladores sigma delta digitais conseguem processar sinais multicarrier mantendo conformidade com os requisitos de EVM (Error Vector Magnitude) do 5G NR [47] [48], a Figura 4.5 representa onde a modulação $\Sigma\Delta$ é empregada considerando o padrão de sinal da rede 5G NR.

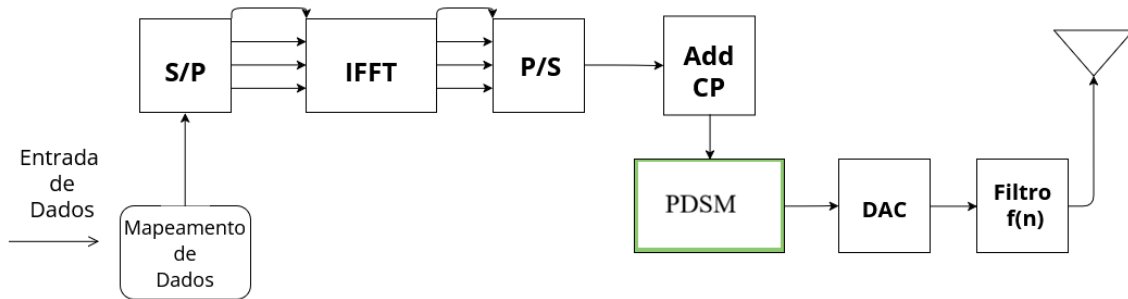


Figura 4.5: Estrutura de transmissão do Sinal OFDMA com o PDSM.

A Figura 4.5 apresenta a estrutura de transmissão que ilustra o processo de geração do sinal OFDMA até sua entrada no PDSM que, após isso, passa pelo DAC e filtro, em seguida, vai para a antena. Inicialmente, os dados binários passam pelo mapeamento de símbolos, no qual são convertidos em dados digitais, como QPSK, 16-QAM ou 64-QAM, conforme especificado pelo padrão da rede 5G NR, logo após, realiza-se a conversão serial-paralela (S/P), necessária para alimentar o estágio da IFFT. O bloco de IFFT tem como função distribuir os símbolos modulados em diferentes subportadoras ortogonais, formando o sinal OFDM em banda base. Após esse processamento, ocorre a conversão paralelo-serial (P/S), que reorganiza os dados em uma única sequência digital, pronta para transmissão. Em seguida, adiciona-se o prefixo cíclico (Add CP), responsável por mitigar os efeitos de dispersão multipercurso e facilitar a recepção síncrona.

Finalmente, o sinal OFDMA em banda base, já estruturado, é aplicado ao modulador sigma delta digital, cuja função será realizar a moldagem espectral do ruído de quantização. Esse processo desloca o ruído para fora da banda de interesse,

preservando o SNR dentro da largura de banda útil, o que é especialmente relevante para transmissões 5G que exigem elevados níveis de qualidade de modulação, após o processo proposto, o sinal passa pelo DAC, tornando-se de forma analógica para que possa chegar ao seu destino final de percurso de transmissão, sendo seguido por um filtro para melhorar ainda mais a qualidade do sinal de saída e, com tais pontos atingidos, chega à antena para que o sinal possa ser propagado.

4.3.1 Modelagem do PDSM

A modelagem do PDSM é uma das etapas fundamentais para o bom funcionamento do sistema, os ajustes foram realizados utilizando os diagramas das Figuras 4.3 e 4.4. Os parâmetros adotado nos testes estão descritos na Tabela 4.1. Para a validação do modelo, utilizou-se o sinal OFDMA da rede 5G NR, considerando subportadoras alocadas dentro da faixa de frequência correspondente à banda de interesse. A qualidade do sinal foi avaliada por meio da relação sinal-ruído (SNR). Esse parâmetro quantifica a razão entre a potência média do sinal útil e a potência média do ruído presente na mesma banda, sendo amplamente utilizado para mensurar o desempenho de sistemas de comunicação e conversores de dados. Quanto maior o valor de SNR, menor é a influência do ruído sobre o sinal processado, indicando que a distorção introduzida não compromete significativamente a informação transmitida, a Equação (4.6) mostra o cálculo utilizado para se encontrar o SNR.

$$SNR = 10_{\log}\left(\frac{MS(Sinal)}{MS(Ruido)}\right) \quad (4.6)$$

Em que MS Representa o valor médio quadrático do sinal e do ruído, respectivamente. O uso do valor médio quadrático é adequado nesse contexto, pois a potência de um sinal discreto pode ser estimada a partir da média do quadrado de sua amplitude ao longo do tempo. Dessa forma, a métrica adotada permite comparar diretamente a energia do sinal desejado com a energia associada às componentes indesejadas introduzidas pelo processo de modulação e quantização.

Com o objetivo de garantir a qualidade do sinal de saída, buscando a obtenção de um SNR compatível com os requisitos estabelecidos para sistemas de comunicação 5G, foram realizadas simulações e testes. Essas simulações tiveram

Tabela 4.1: Dados de Simulação

Dado	Símbolo	Valor
Largura de banda	BW	100 MHz
Sobreamostragem	OSR	16
Fator de desenrolamento	N	3
Frequência de Amostragem	f_s	3,8 GHz
Espaçamento entre subportadoras	Δf_s	30 kHz
Blocos de Recurso Físico	N_{PRB}	273
Número de Usuários multiplexados OFDMA	K_{users}	4
Ordem da Modulação	M_{QAM}	16 – QAM

como finalidade determinar os valores mais adequados para os coeficientes do modulador, considerando critérios como estabilidade do sistema, moldagem espectral do ruído e desempenho em banda base.

O ajuste dos coeficientes foi conduzido de forma iterativa, avaliando-se o impacto de cada conjunto de parâmetros sobre o comportamento espectral do sinal, especialmente no que se refere à relação sinal-ruído dentro da largura de banda útil. Tal procedimento permitiu identificar combinações que proporcionam melhor desempenho sem comprometer a robustez do sistema. A Tabela 4.2 apresenta os resultados obtidos para alguns conjuntos de coeficientes analisados, evidenciando os valores que conduziram a níveis satisfatórios de desempenho para a aplicação no modulador sigma delta com processamento pseudoparalelo com resposta ideal.

Tabela 4.2: Testes de Valores dos Coeficientes

$ENOB$	m	d	f	$SNR(dB)$
9,09	$0,25 \cdot 10^{-5}$	-0,0025	1,03	56,45
9,51	$0,50 \cdot 10^{-5}$	-0,0027	1,02	59
9,52	$0,75 \cdot 10^{-5}$	-0,0029	1,01	59,05
9,91	$1,0 \cdot 10^{-5}$	-0,0031	1,0	61,41
10,54	$1,25 \cdot 10^{-5}$	-0,0033	0,99	65,24
10,64	$1,50 \cdot 10^{-5}$	-0,0035	0,98	65,81
10,87	$1,75 \cdot 10^{-5}$	-0,0037	0,97	67,19
11,10	$2,0 \cdot 10^{-5}$	-0,0039	0,96	68,60
11,34	$2,5 \cdot 10^{-5}$	-0,0041	0,95	70,02
11,66	$3,0 \cdot 10^{-5}$	-0,0043	0,94	72,00
12,16	$3,5 \cdot 10^{-5}$	-0,0045	0,93	75,04

A densidade espectral de potência do sinal pode ser analisada por meio da Figura 4.6. A escolha dos coeficientes apresentados é resultado de um processo sistemático de variação paramétrica dentro de intervalos previamente definidos. Ini-

cialmente, foram estabelecidos valores de referência com base na literatura e em trabalhos correlatos, os quais serviram como ponto de partida para as simulações. A partir desses valores, foram realizados incrementos regulares em cada coeficiente, avaliando-se, a cada iteração, o impacto sobre o comportamento espectral do sistema e sobre a relação sinal ruído na banda de interesse.

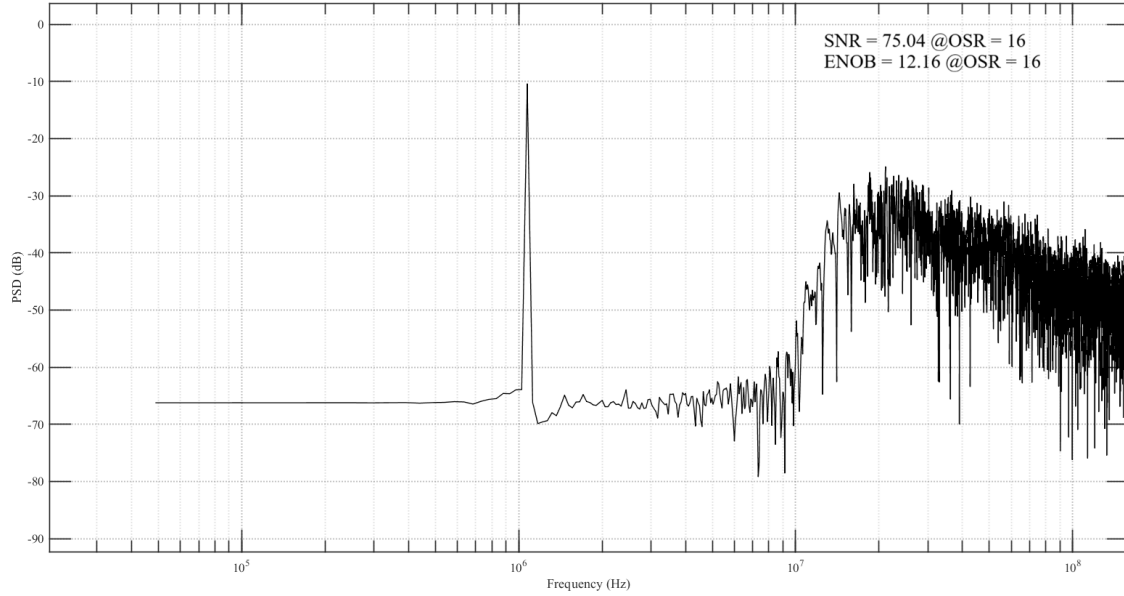


Figura 4.6: Resposta em Frequência do PDSM ideal de 2^a ordem com fator de desenrolamento $N = 3$.

Esse procedimento resultou em melhoria progressiva na qualidade do sinal de saída, refletida diretamente no aumento do SNR. Os coeficientes que apresentaram melhor desempenho para a técnica proposta foram, $m = 3.5 \cdot 10^{-5}$, $d = -0.0045$ e $f = 0.93$ com tais valores a relação sinal ruído atingida foi de 75.04 dB, com um número efetivo de bits igual a 12.16, tal valor é um parâmetro condizente para uma resposta do PDSM ideal considerando o que se espera para sinais de OFDMA da rede 5G NR, neste ponto o $SNR > 20$ dB, para garantir uma taxa de erro de bits aceitável.

Capítulo 5

Projeto do PDSM em Design de Circuitos Integrados Digitais

5.1 Fluxo de Design Digital

O fluxo de design digital que também pode ser conhecido como Circuito Integrado de Aplicação Específica (ASIC), é uma variação de etapas sincronizadas que devem ser seguidas para que possa se projetar e realizar análises em um dado circuito digital, para os passos até a fabricação diversas simulações devem ser executadas para que possa se garantir uma melhor precisão do CI proposto [49] [50], a Figura 5.1 mostra algumas etapas para se conseguir realizar um ciclo de design em ASIC.

Algumas etapas necessárias para o fluxo ASIC [49] [50]:

1. Entrada de Design: Esta etapa refere-se a utilização de uma Linguagem e Descrição de Hardware (HDL), para o projeto do PDSM foi utilizada o System Verilog.
2. Verificação Funcional: Um elemento utilizado para conseguir detectar erros iniciais no design gerado, as verificações são realizadas de acordo com os requisitos esperados, utilizando simulações ou métodos formais, deste modo o projeto do PSDM utiliza a descrição em RTL, que serve para elaborar representações de nível elevado em um circuito, sendo está uma prática muito corriqueira em design de circuitos digitais na atualidade.

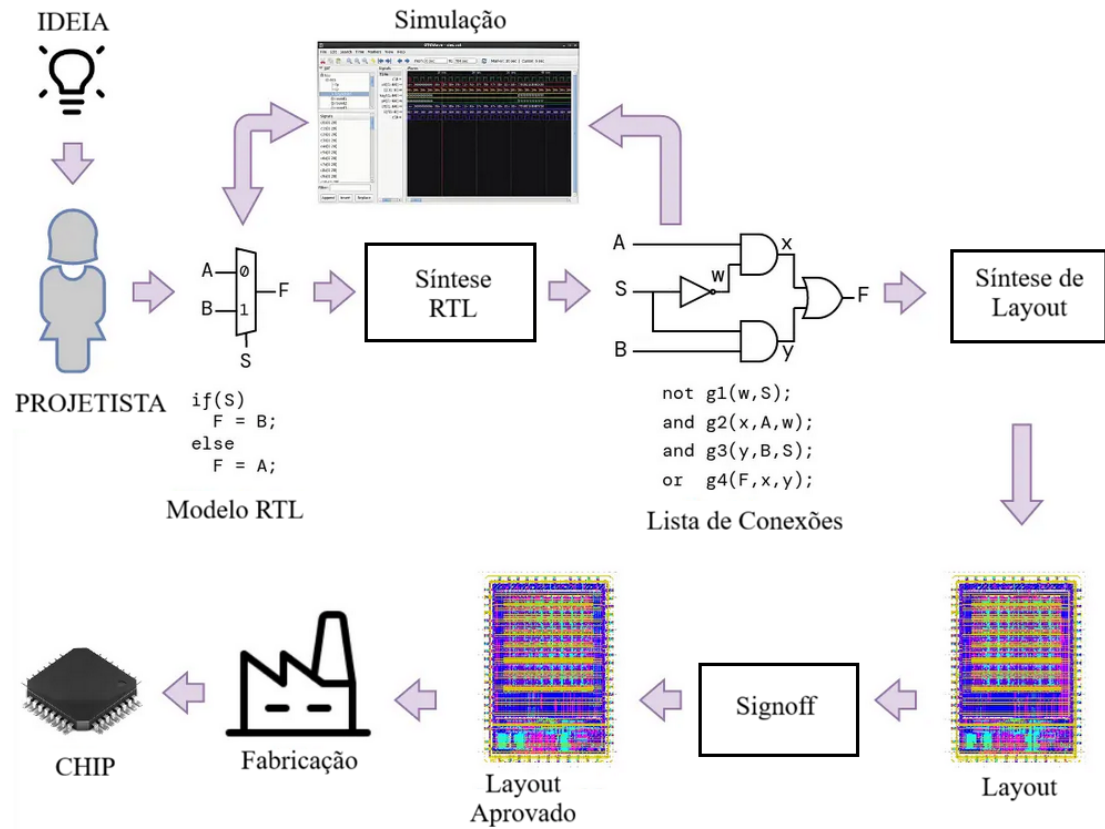


Figura 5.1: Fluxo Asic, adaptado [50].

3. **Síntese**: Esta etapa é a responsável por gerar uma lista de conexões, sendo formada por circuito de células lógicas proveniente da conversão da descrição do HDL.
4. **Layout/Síntese Física**: Uma parte crucial do projeto em fluxo ASIC, que também pode ser reconhecida como a implementação física, ocorre após o processo de conversão do circuito lógico para o layout das máscaras fotográficas que serão utilizadas para a fabricação.
5. **Signoff**: Trata-se da fase final do projeto de design ASIC, garantindo que o design opere de maneira correta e funcione de forma eficiente, realizando uma última análise, antes de ser enviado ao *blueprint* do Chip para ser implementado em silício.

5.2 Circuito Multiplexador 2x1

O circuito do multiplexador é uma das partes fundamentais para o desempenho do PDSM, pois a frequência de trabalho define o rendimento do modulador pseudoparalelo apresentado [9]. Os princípios da lei de Moore impelem que os avan-

ços de circuitos digitais de grande escala, com o passar dos anos e com as tecnologias mais evoluídas estão se tornando sistemas mais complexos [51], desta forma realizar a criação de projetos de circuitos lógicos se torna uma tarefa mais árdua, que faz com que os projetistas busquem por soluções diversificadas. O Multiplexador é um elemento fundamental em circuitos lógicos, trata-se de um modelo formado por portas lógicas complexo, que é frequentemente usado para a construção de uma lógica para caminho de dados [51], desta forma o Mux realiza uma seleção de dados recebidos por sua entrada, permitindo que sua saída gere o sinal correspondente a informação que foi coletada por uma de suas entradas, a Figura 5.2 apresenta um diagrama funcional de um Mux digital. Para o projeto do PDSM, foi utilizado dois

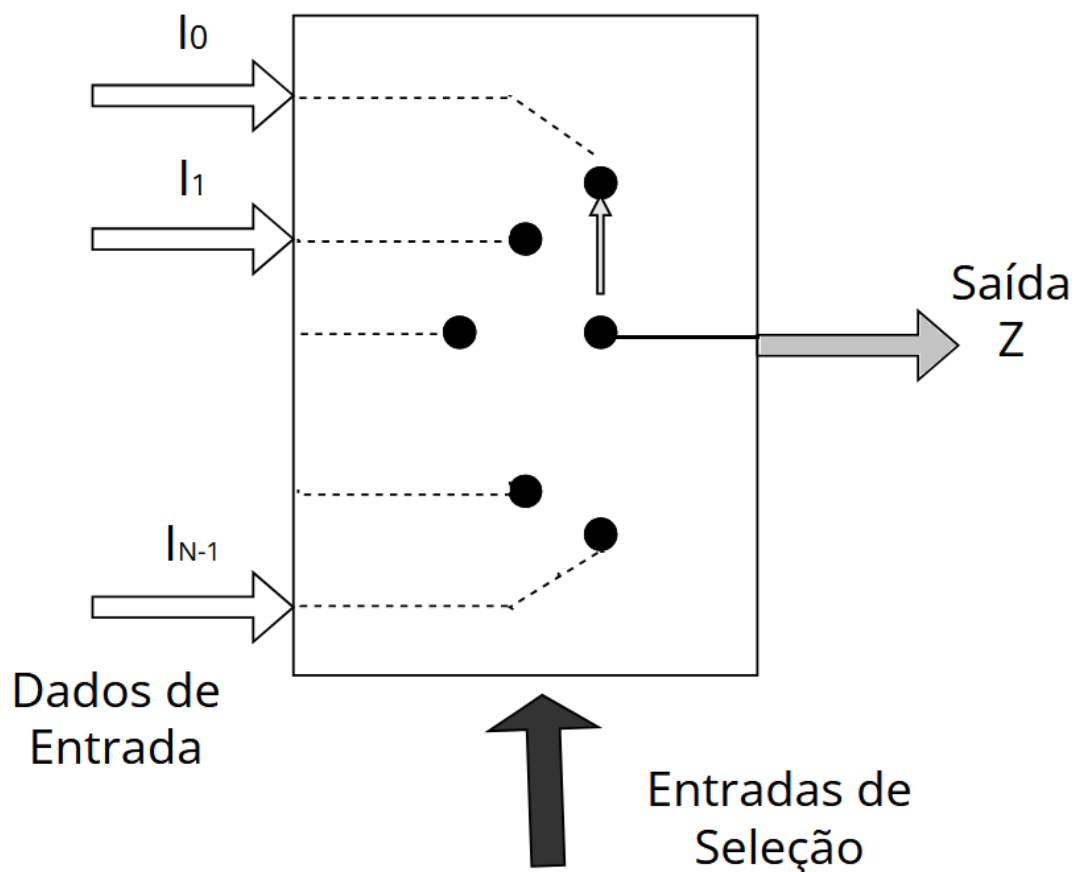


Figura 5.2: Diagrama de função do MUX digital.

Mux 2x1, o comportamento de um multiplexador de 2 canais pode ser analisado através da Equação 5.1 que é características desses circuitos lógicos de seleção de dados.

A entrada de seleção S habilita uma das entradas de dados para a saída Z ,

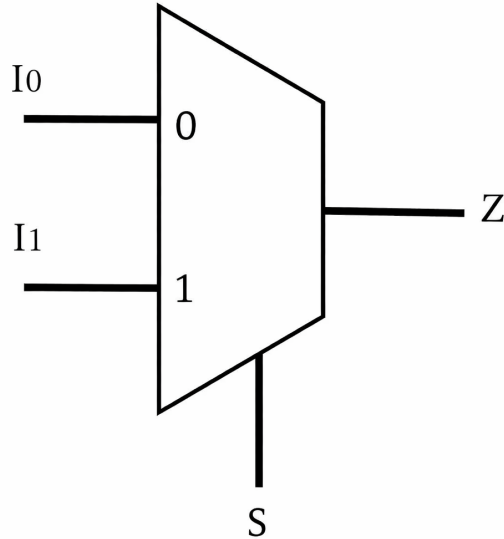


Figura 5.3: Multiplexador 2x1.

de modo que para $S = 0$ teremos a entrada I_0 operando e para $S = 1$ tem-se a habilitação da entrada I_1 , com esse funcionamento e através da frequência aplicada, um contador gera a resposta de seleção de forma síncrona, de acordo com a frequência aplicada ao sistema.

$$Z = I_0S' + I_1S \quad (5.1)$$

A utilização de dois Mux encadeados no PDSM, é por conta da velocidade desejada, já que um Mux de 3 canais ocasionaria um delay mais longo, como a operação encontra-se em uma faixa de frequência de $f'_s = 3f_s$, opta-se pela utilização do circuito do multiplexador encadeado, esta configuração pode ser analisada por meio da Figura 5.4, que apresenta os estados de entrada e a frequência de seleção que é utilizada, além da amostra dos valores de saída, esses dados passam pelos comparadores e serão transportados para o Mux com a frequência f'_s mencionada, habilitando uma das entradas que por sua vez seguirão o ciclo de incremento de tempo de acordo com o Clock.

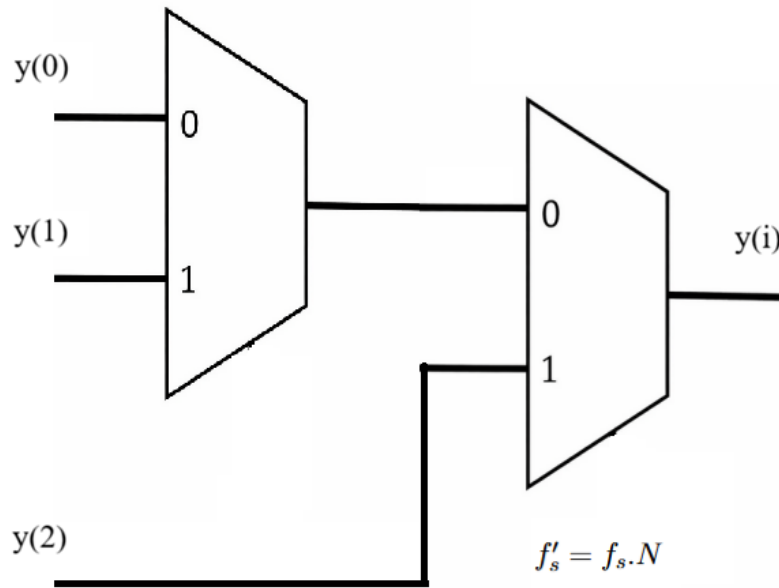


Figura 5.4: Multiplexador 2x1 encadeado implementado em fluxo de design digital.

Para a Figura 5.4, as entradas $y(0)$ até $y(2)$ equivalem as saídas do comparador e a saída $y(i)$ trata-se de um valor de dois níveis, que é exposto como $y[n]$ no PDSM.

5.2.1 Layout dos Multiplexadores 2x1 encadeados

O layout dos multiplexadores encadeados, foram produzidos usando o Librallane, que trata-se de um fluxo automatizado, sendo um dos processos empregados para o design digital, tal método usa o PDK IHP-SG13G2, sendo o PDK, um kit de projeto de processo, que contém várias ferramentas para a criação de circuitos integrados, o IHP-SG13G2 é a tecnologia BiCMOS de grande desempenho que possibilita o processo de $0,13 \mu\text{m}$, o circuito é feito em cinco camadas sutis e duas camadas mais robustas utilizando transistores PMOS e NMOS.

A Figura 5.5 apresenta o layout dos multiplexadores, o mesmo foi desenvolvido com base no circuito demonstrado na seção 5.2, possui dimensões de $8,0 \mu\text{m}$ x $12,34 \mu\text{m}$ de área.

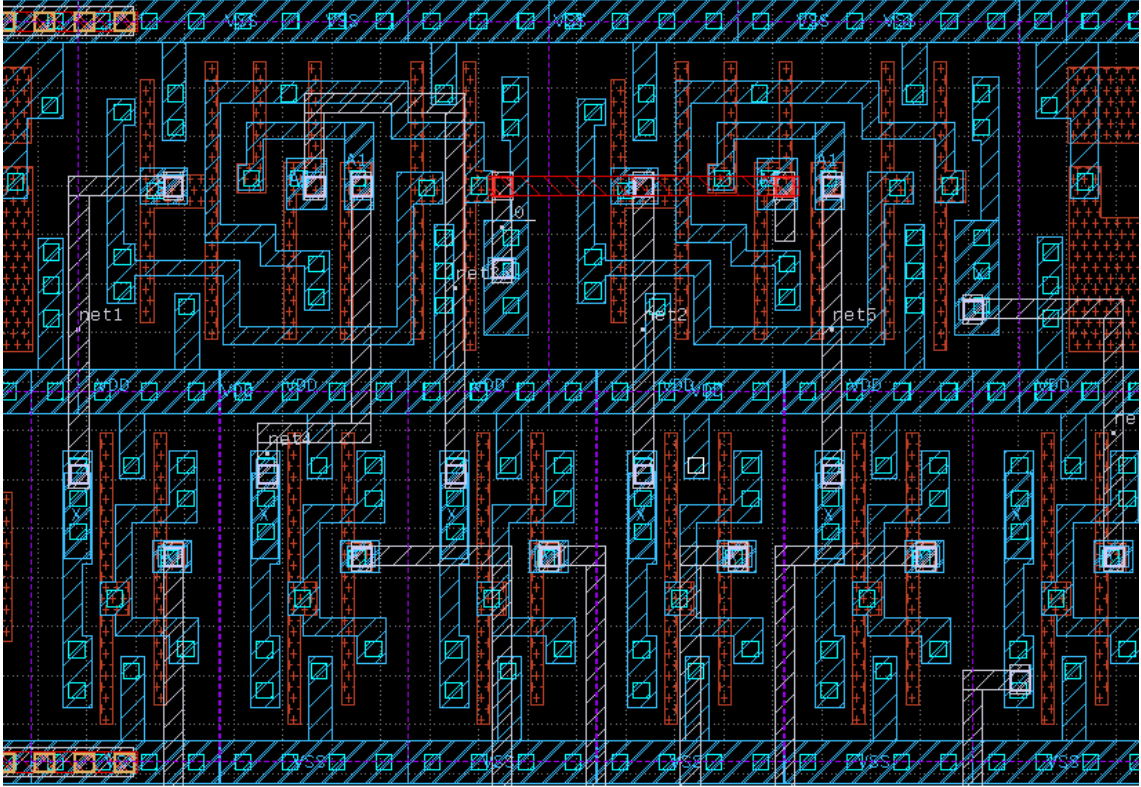


Figura 5.5: Layout Multiplexador encadeado 2x1.

5.3 Circuito Comparador

Em um modulador sigma delta com processo analógico o quantizador é um elemento crucial para o seu funcionamento, no modelo digital do modulador sigma delta, essa comparação é realizada entre a variável interna do sistema e o nível de referência nulo, reduzindo o problema a uma decisão binária de sinal. O método de comparação de dois números caracteriza-se pela forma como os elementos serão definidos por meio de uma operação determinística, para identificar uma mudança de comportamento entre os elementos, de maneira que, possa ser analisado se os elementos são iguais, maiores ou menores em relação ao outro [52]. Deste modo pode-se classificar um comparador de magnitude sendo um circuito combinacional que compara dois valores, X e Y estabelecendo sua magnitude.

Embora comparadores de magnitude possam operar sobre valores de n bits, o modulador proposto utiliza um comparador de 1 bit, que possui sua representação de forma matemática através do modelo da Equação (5.2), que retrata o processo utilizado para a saída de dois níveis.

$$y[n] = Q(a_7[n]) = \begin{cases} 1, & a_7[n] > 0 \\ -1, & a_7[n] < 0 \end{cases} \quad (5.2)$$

O método de comparação para encontrar se um é proporcionalmente maior que outro, baseia-se do sentido de se examinar as magnitudes relativas dos parâmetros de dígitos mais relevantes, de forma que se inicie pelo ponto mais importante. De modo que se ambos os dígitos forem similares, compara-se para o próximo conjunto de dígitos de menor relevância, isso continua de maneira ininterrupta até que haja uma diferença entre os pares de dígitos. Desta maneira se $X = 1$ e $Y = 0$ então $X > Y$, de mesmo modo se $X = 0$ e $Y = 1$ então $X < Y$, para o caso particular de uma comparação de 1 bit, a lógica digital pode ser representada pela Equação (5.3), assim retratando os dois níveis que serão necessários para sua aplicação no PDSM, de maneira que tal seleção de dados será formada por um conjunto de elementos com interligação temporal.

$$\begin{aligned} (X > Y) &= X_0 Y'_0 \\ (X < Y) &= X'_0 Y_0 \end{aligned} \quad (5.3)$$

A Figura 5.6 apresenta o bloco de um comparador de 1 bit em lógica digital.

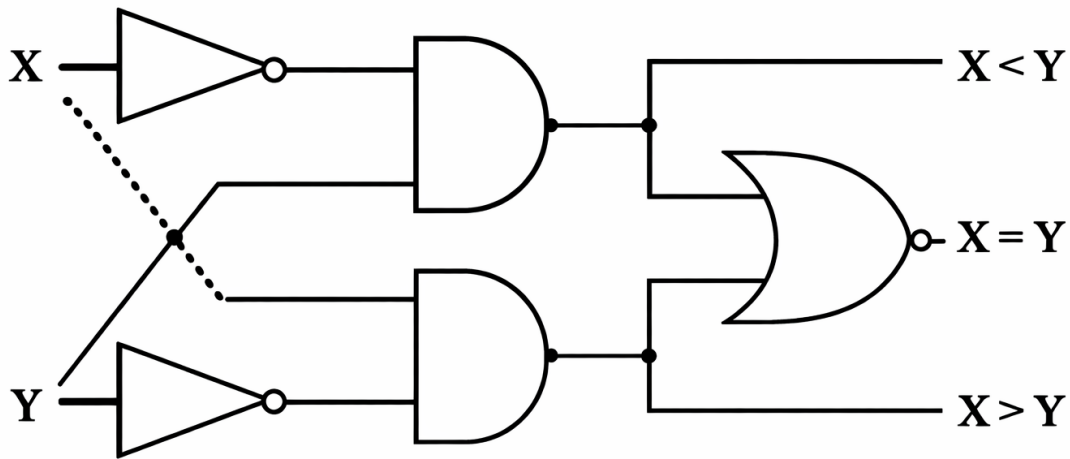


Figura 5.6: Bloco comparador de 1 bit.

Em sistemas de tecnologia VLSI, há uma tendência de melhorar o desempenho de velocidade, um menor custo e um baixo consumo de energia. O atraso de propagação decorre do empilhamento de transistores e das capacitâncias parasitas

inerentes à tecnologia CMOS [53]. Em comparadores (t_p) pode ser definido com a utilização da taxa de variação, como na Equação (5.4) tem-se a equação característica para se encontrar t_p , tal equação no contexto do comparador digital é uma aproximação teórica para se verificar o caminho crítico.

$$t_p = \frac{\Delta V}{2SR} = \frac{V_{OH} - V_{OL}}{2SR} \quad (5.4)$$

Sendo o t_p o atraso de propagação, SR é a taxa de variação, V_{OH} é a tensão de limiar superior e V_{OL} é a tensão de limiar inferior. A Figura 5.7 retrata o bloco digital utilizado para implementação em fluxo digital do comparador, sendo caracterizada pelo bloco básico do comparador mais um multiplexador cuja a saída é retratada por $y[n]$, sendo b_1 referente ao valor menor que 0 e b_2 para o valor maior que zero.

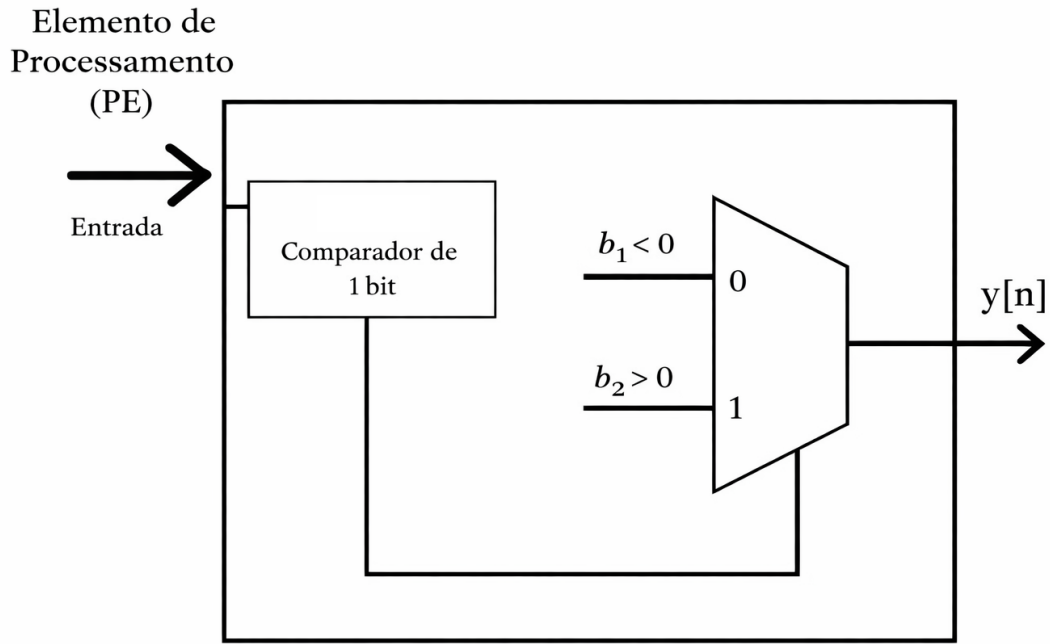


Figura 12: Bloco do Comparador de 1 bit implementado em fluxo digital, para $b_1 < 0$ e $b_2 > 0$.

Figura 5.7: Comparador de 1 bit implementado em tecnologia CMOS.

5.3.1 Layout do Comparador

Nesta seção é apresentado o layout do comparador, o mesmo foi implementado utilizando as ferramentas open source IHP, em design de fluxo digital em tecnologia

130 nm, a Figura 5.8 mostra o design após as etapas de verificação utilizando o arquivo GDS II no Klayout, os atrasos decorrentes dos arranjos de portas lógicas são compensados com a otimização do sistema, que ocorre por conta do nó de fabricação, o presente layout apresentado possui dimensões de $8,89\mu\text{m} \times 17,65\mu\text{m}$ de área.

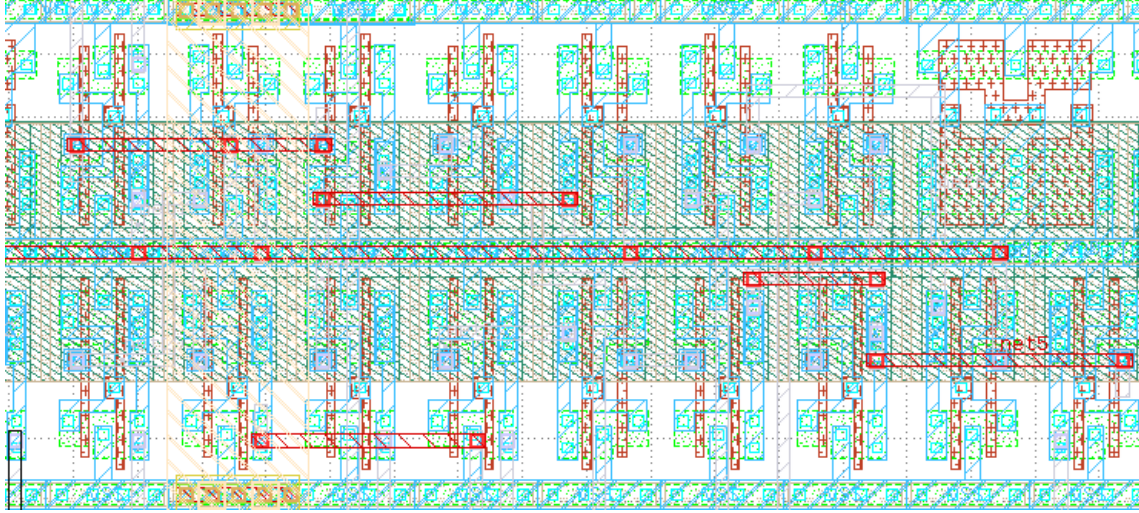


Figura 5.8: Layout do comparador em CMOS 130 nm.

5.4 Filtro Decimador

Em diversas aplicações, é necessário modificar as amplitudes relativas dos sinais, reduzir distorções ou realizar a seleção de dados de forma inequívoca. Para a remoção de ruídos de elevada intensidade presentes em sinais digitais, faz-se indispensável a utilização de filtros apropriados. Em sistemas baseados em modulação sigma delta, são empregados diferentes tipos de filtros tais como passa-baixa, passa-altas e filtros do tipo sinc, cuja escolha depende diretamente do contexto e da aplicação desejada [3, 54, 55].

Nos moduladores sigma-delta, o ruído de quantização é moldado espectralmente, sendo deslocado para frequências mais elevadas. Consequentemente, embora a densidade espectral de potência do ruído seja reduzida na banda base, ela cresce rapidamente fora da banda de interesse. Para o adequado processamento dos dados digitais de saída, utiliza-se uma etapa de filtragem de decimação eficiente, frequentemente implementada por meio de filtros sinc em cascata. De maneira geral, os fatores predominantes na escolha da ordem K de um filtro sinc^K para um modulador de ordem L são [3, 25]:

1 - O filtro deve apresentar atenuação mais rápida em torno da frequência de banda f_B do que a taxa de crescimento da função de transferência do ruído.

2 - A resposta em ganho deve ser suficientemente plana na região de f_s/OSR e de seus harmônicos, quando comparada à função de transferência do ruído nas proximidades da corrente contínua.

Se a atenuação for suficientemente rápida em torno de f_B , é assegurado que apenas uma pequena parcela do ruído fora da banda permaneça sem supressão após o processo de decimação. Por outro lado, uma resposta mais plana em torno de razão entre a frequência de amostragem e taxa de sobreamostragem assegura que o aliasing do ruído proveniente das bandas centradas em f_s/OSR , $2f_s/OSR$ contribua minimamente para o ruído em banda após a redução da taxa de amostragem. Assim por meio da comparação entre as duas condições pode-se deduzir que, $K > L$, sendo usualmente adotado $K = L + 1$, o que em termos práticos, já se mostra suficiente para garantir desempenho adequado [3].

Quando se deseja uma razão de decimação mais elevada, torna-se conveniente empregar dois estágios de filtragem, conforme ilustrado na Figura 5.9. Nessa configuração, um filtro $\text{sinc}^K\left(\frac{\pi f}{f_D}\right)$, operando inicialmente à frequência de clock f_s , é utilizado para reduzir a taxa de amostragem de f_s para uma frequência intermediária f_D . Esse filtro é seguido por um filtro passa-baixa de transição acentuada, operando na faixa f_D . O segundo estágio pode ser implementado como filtro de resposta ao impulso finita (FIR) ou de resposta ao impulso infinita (IIR). Sua função principal é suprimir o ruído remanescente presente na faixa entre f_B e $f_D/2$, permitindo uma redução adicional da frequência de clock até um valor decimado próximo de $2f_B$.

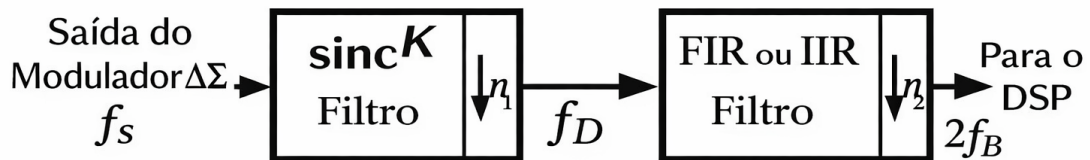


Figura 5.9: Filtro de decimação de dois estágios.

O segundo estágio pode ainda ser implementado por meio de uma cascata de filtros FIR do tipo halfband, os quais apresentam elevada eficiência computacional. Além disso, esse estágio pode incluir uma compensação do afundamento introdu-

zido pelo filtro sinc^K , restaurando a planicidade da banda passante, a Figura 5.10 apresenta a decimação com um filtro sinc^3 , nesta f_s é a taxa de modulação, f_D representa a frequência intermediária de decimação e $[0, f_B]$ é a banda do sinal [3].

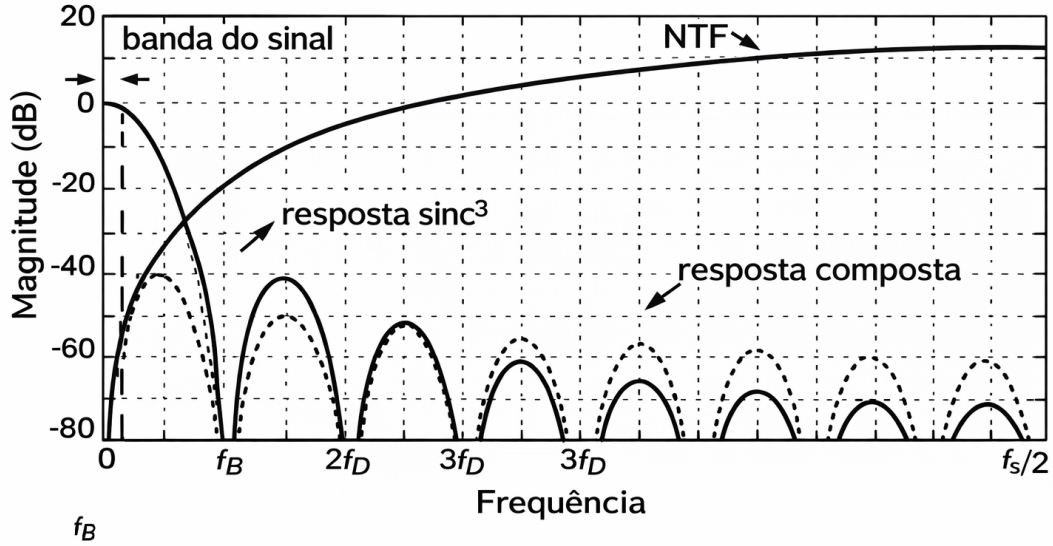


Figura 5.10: Decimação com um filtro sinc^3 , adaptado [9].

No trabalho [55] é apresentado um decimador de 18 bits que faz uso de um filtro sinc seguido por dois filtros *halfband*. Essa implementação foi desenvolvida para operação em moduladores sigma delta, utilizando tecnologia CMOS em processo TSMC de $0,13 \mu\text{m}$, com aplicação voltada ao processamento de áudio. A realização de operações de filtragem com decimação é uma tarefa relativamente complexa, uma vez que esses sistemas tradicionalmente utilizam um grande número de operações de multiplicação. Consequentemente, há aumento no consumo de área e potência do circuito integrado [55,56]. Dessa forma, o filtro desenvolvido no fluxo de projeto digital preserva a estrutura conceitual de filtros decimadores convencionais, porém sua lógica de implementação é baseada em [56] visando otimizar desempenho e área ocupada. A abordagem adotada consiste em um filtro de decimação de três estágios, formado por um filtro CIC (Cascaded Integrator Comb) seguido por dois filtros digitais passa baixa.

A etapa inicial de decimação é realizada por meio do filtro CIC, cuja estrutura

é apresentada na Figura 5.11. O filtro CIC pertence a uma classe de filtros digitais que não utilizam multiplicadores para realizar interpolação ou decimação, resultando em uma implementação de hardware mais econômica. O comportamento do filtro CIC é caracterizado por uma composição em série de N integradores operando na elevada taxa de amostragem e N unidades diferenciadoras (comb), operando após a etapa de redução de taxa.

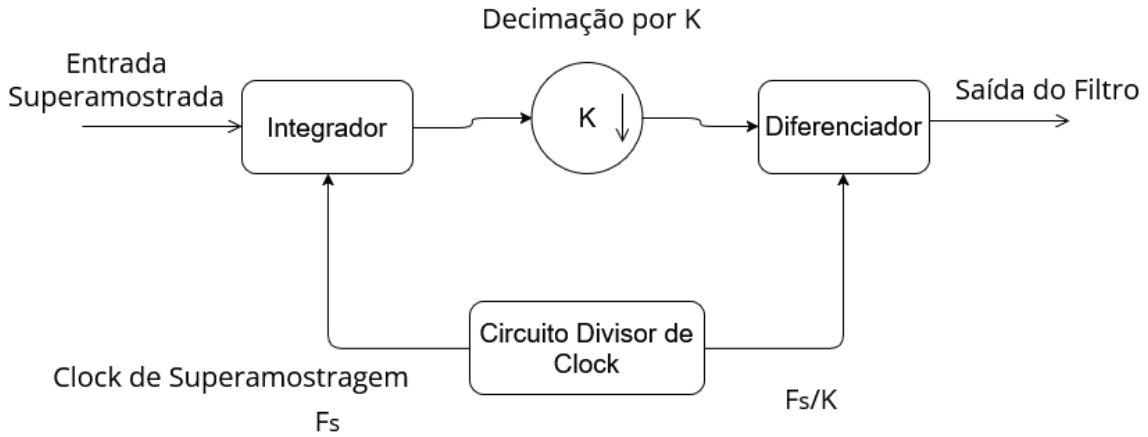


Figura 5.11: Diagrama de blocos do Filtro CIC.

Sabendo que o filtro CIC é composto por integradores, diferenciadores e um estágio de decimação, tem-se que o integrador pode ser implementado por meio da seguinte relação recursiva apresenta na Equação (5.5).

$$y(n) = y(n - 1) + x(n) \quad (5.5)$$

A Equação (5.6) mostra a função de transferência característica no plano-Z.

$$H_1(Z) = \frac{1}{1 - Z^{-1}} \quad (5.6)$$

Pode-se descrever a unidade diferenciadora (comb) por meio da Equação (5.7),

$$y(n) = X(n) + x(n - RM) \quad (5.7)$$

Em que M é o atraso diferencial e R é o fator de decimação, a função de transferência da unidade comb é dada pela Equação (5.8), sendo que para R e M possuindo um valor de um a resposta em potência apresenta comportamento típico

de um filtro passa-altas.

$$H_C(Z) = 1 - Z^{-RM} \quad (5.8)$$

De modo geral, um filtro CIC consiste em uma cascata de N estágios de integradores seguidos por N estágios diferenciadores. Entretanto, o projeto desses filtros requer atenção especial, pois a complexidade pode se elevar significativamente quando são exigidas altas taxas de amostragem e ordens elevadas. Para reduzir a complexidade associada à elevada taxa de operação, introduz-se um estágio de decimação entre os blocos de integradores e diferenciadores, conforme ilustrado na Figura 5.11. Nesse arranjo, um divisor de clock reduz a frequência de superamostragem F_s pelo fator de decimação K , assim, os N integradores operam à frequência de superamostragem F_s e os N diferenciadores operam à frequência reduzida F_s/K , dessa forma a função geral de transferência do filtro CIC associada a F_s é dada pela Equação (5.9).

$$H(z) = H_I^N(z) H_C^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} \quad (5.9)$$

Assim, ao se analisar as complexidades associadas ao uso de filtros decimadores do tipo CIC, o filtro de decimação de três estágios implementado no fluxo de projeto digital pode ser observado através diagrama de blocos da Figura 5.12. Nessa representação, dois filtros FIR são empregados antes do estágio baseado em filtro CIC. A realização da decimação em três estágios permite que cada filtro opere em uma frequência de clock progressivamente menor, quando comparada à implementação por meio de um único filtro de alta ordem operando na taxa original de amostragem. Essa estratégia reduz significativamente a complexidade computacional e o custo de hardware do sistema.



Figura 5.12: Diagrama da arquitetura do filtro de decimação.

5.4.1 Layout do Filtro

O layout do filtro pode ser analisado por meio da Figura 5.13. A área total ocupada por essa implementação foi de $213,02 \mu\text{m} \times 211,07 \mu\text{m}$, valor compatível com os resultados apresentados na literatura para filtros CIC em cascata de complexidade semelhante. Entretanto, observa-se que com a técnica de projeto empregada, houve uma redução da área nesta etapa específica, o que contribui significativamente para a otimização global do layout do PDSM ao longo de todo o fluxo de implementação digital. As trilhas e interconexões metálicas encontram-se dentro dos parâmetros esperados para processos de fabricação de circuitos integrados em fluxo digital, respeitando as regras de projeto estabelecidas pela tecnologia adotada, no caso a CMOS $0,13 \mu\text{m}$ da UNIC-CASS. Nota-se uma distribuição coerente das camadas metálicas e uma organização estrutural compatível com projetos síncronos de média complexidade.

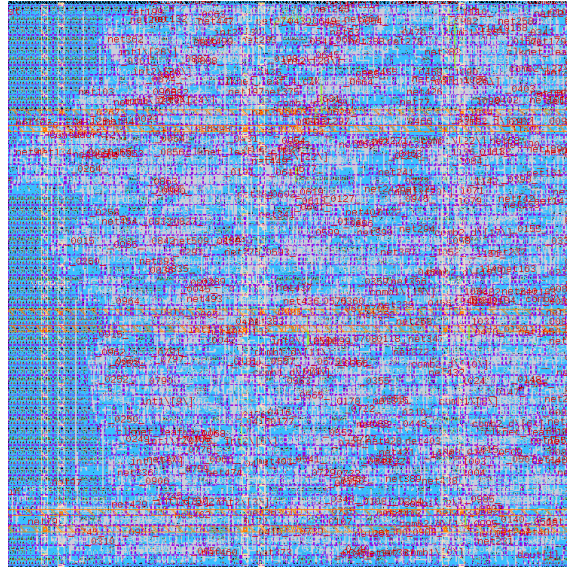


Figura 5.13: Layout do filtro digital.

Um fator fundamental para o correto funcionamento do modulador é o sincronismo dos parâmetros temporais do sistema. A Figura 5.14 apresenta a árvore de distribuição de clock (clock tree) do filtro. A árvore de clock foi sintetizada e analisada utilizando o fluxo automatizado do OpenROAD, garantindo a inserção adequada de buffers e o balanceamento dos ramos de distribuição. Desta forma os atrasos propagados ao longo da árvore estão na ordem de nanossegundos, mantendo coerência entre os ciclos de clock e assegurando estabilidade temporal no processa-

mento dos dados.

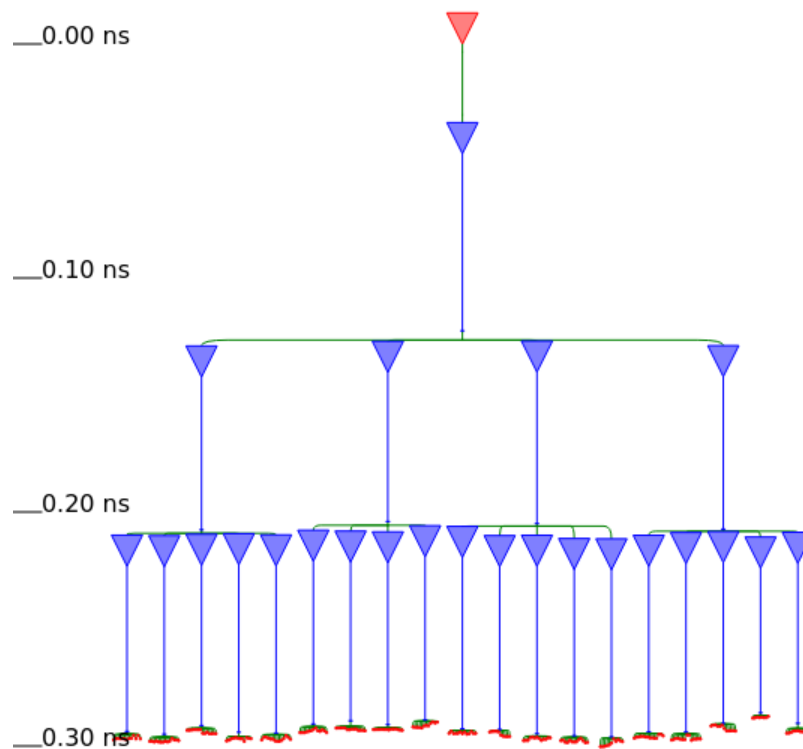


Figura 5.14: Árvore de Clock do Filtro.

A natureza das ramificações da árvore de clock é de extrema relevância, pois influencia na integridade do sinal de clock, consumo dinâmico de potência, balanceamento de atrasos e no funcionamento adequado do sistema do PDSM. O resultado obtido demonstra que o circuito apresenta distribuição de clock adequada para a frequência de operação especificada, preservando o comportamento síncrono necessário ao correto funcionamento do filtro e, conseqüentemente, para a aplicação no modulador.

5.5 Circuito Multiplicador

Multiplicadores são elementos essenciais em microprocessadores e sistemas embarcados. Esse tipo de operação é amplamente utilizado em sistemas de Processamento Digital de Sinais, nos quais os multiplicadores desempenham um papel fundamental no atendimento aos requisitos de área total, consumo de potência e velocidade em projetos digitais [57] [58]. Em [58], é apresentada uma abordagem

de verificação comparativa de diversos projetos de multiplicadores baseados na árvore de Wallace, na qual são analisados parâmetros específicos, como complexidade estrutural e consumo de potência, a Figura 5.15 ilustra um fluxograma do processo de multiplicação.

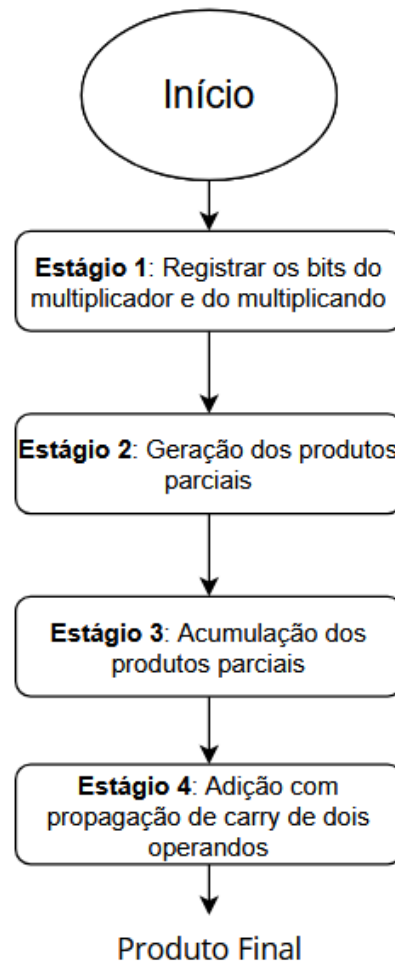


Figura 5.15: Processo de multiplicação.

O multiplicador de Wallace é uma arquitetura paralela altamente eficiente para operações de multiplicação. Nos multiplicadores convencionais baseados na árvore de Wallace, o primeiro passo consiste na formação da matriz de produtos parciais, obtida a partir da geração de N^2 bits, a Figura 5.16 apresenta o processo de multiplicação do multiplicador Wallace para 4 bits.

Em seguida, esses produtos parciais são organizados em grupos de três linhas, os quais são progressivamente reduzidos por meio da utilização de meio-somadores e somadores completos. Esse processo de redução continua até que restem apenas duas

				a3	a2	a1	a0	
					b3	b2	b1	b0
				a3b0	a2b0	a1b0	a0b0	
			a3b1	a2b1	a1b1	a0b1	X	
		a3b2	a2b2	a1b2	a0b2	X	X	
	a3b3	a2b3	a1b2	a0b2	X	X	X	
s(11)	s(10)	s(9)	s(8)	s(4)	s(0)	a0b0		

Figura 5.16: Multiplicação pelo método de Wallace de 4 bits.

linhas, que são então somadas para gerar o resultado final. Essa abordagem permite a redução significativa do atraso de propagação em comparação com métodos convencionais de multiplicação, tornando o multiplicador de Wallace especialmente adequado para aplicações que exigem alta velocidade. A Figura 5.17 apresenta o diagrama em bloco do multiplicador de árvore de Wallace, apesar da complexidade algumas técnicas podem ser aplicadas para melhoria e otimização de desempenho.

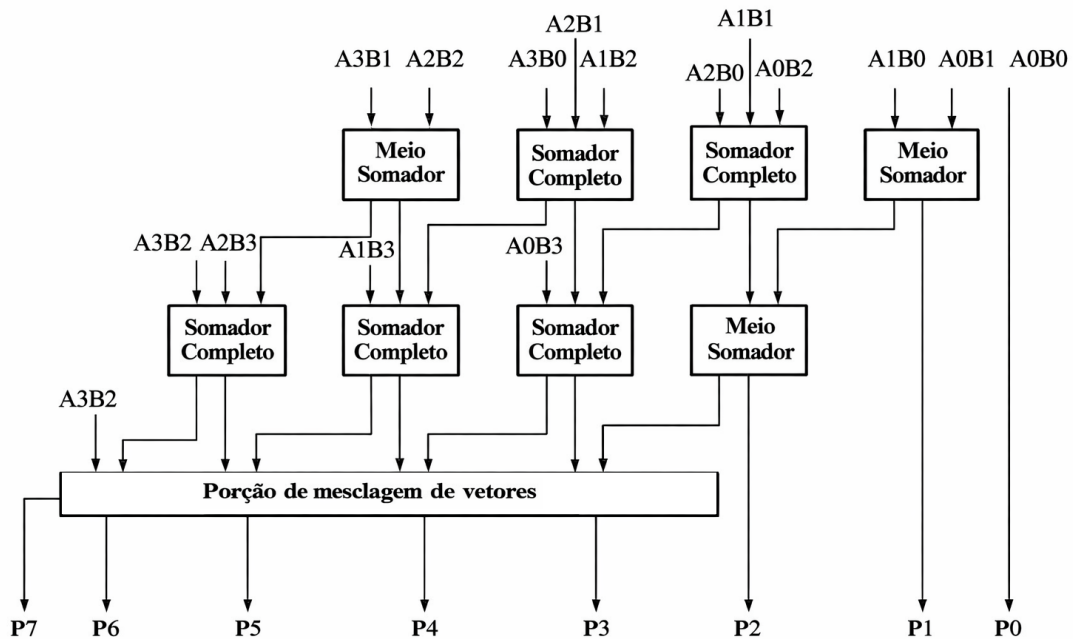


Figura 5.17: Multiplicador em árvore de Wallace.

O multiplicador desenvolvido no fluxo de design digital fundamenta-se no trabalho apresentado em [57], cujo método de implementação utiliza a árvore de Wallace associada a somadores com seleção de carry (carry-select adders). Essa abordagem é adotada com o objetivo de mitigar os atrasos de propagação decorrentes do elevado número de blocos somadores normalmente presentes em multiplicadores convencionais. No contexto do modulador sigma-delta pseudoparalelo, a utilização de um multiplicador com resolução de 16 bits configura-se como um parâmetro amplamente adotado na literatura para garantir o funcionamento adequado do sistema. Embora essa escolha implique em um maior consumo de recursos de memória, observa-se uma redução significativa do atraso, fator considerado mais relevante diante das condições operacionais e das exigências temporais impostas pela arquitetura empregada.

5.5.1 Somador com Seleção de Carry (CSLA)

Somadores que empregam a técnica de seleção de carry apresentam semelhanças estruturais com os somadores do tipo ripple carry. Entretanto, na arquitetura CSLA, o conjunto total de bits é particionado em blocos de tamanhos semelhantes. Nessa abordagem, o carry de entrada do segundo bloco é considerado simultaneamente como zero e um [57]. Dessa forma, os resultados correspondentes a ambos os casos carry in igual a zero e carry in igual a um são calculados em paralelo. Essa estratégia possibilita a redução do atraso de propagação, uma vez que o circuito não precisa aguardar a definição do carry proveniente do bloco anterior. Por fim, a saída correta é selecionada por meio de um multiplexador, que utiliza o carry real como sinal de seleção [57].

5.5.2 Layout do Multiplicador

Seguindo os conceitos de processo de layout apresentados nas seções anteriores, o mesmo procedimento foi adotado para as demais partes do modulador. De forma análoga, o layout do multiplicador também foi desenvolvido considerando o processo SG13G2, disponibilizado pela plataforma, correspondente à tecnologia de $0,13\ \mu\text{m}$. Dessa maneira, após a execução do fluxo clássico pelo LibreLane, obteve-se o layout apresentado na Figura 5.18.

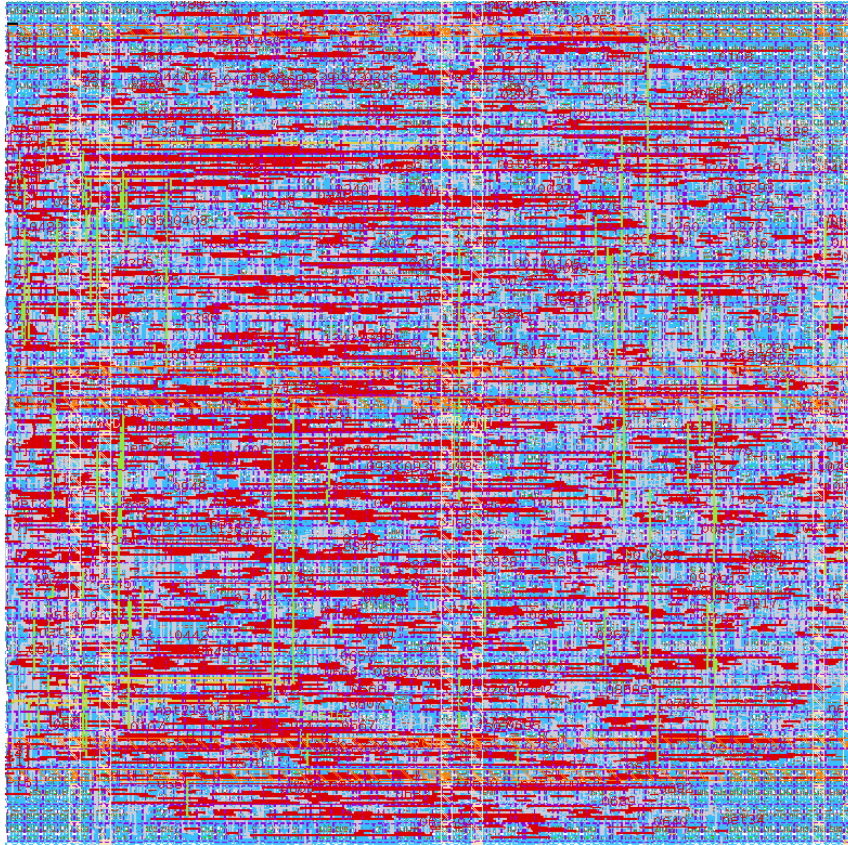


Figura 5.18: Layout do multiplicador de 16 bits do PDSM.

Após a aplicação das verificações de regras de projeto (DRC) e dos demais processos inerentes às ferramentas de automação de projeto eletrônico (EDA), a representação final do multiplicador de Wallace utilizado no PDSM apresentou uma área de $162,45 \mu\text{m} \times 168,32 \mu\text{m}$. Esse valor de área é justificado principalmente pelo número de células instanciadas, que totaliza 1675 células, bem como pelo número de interconexões, que corresponde a 1705 conexões. Esse aumento na complexidade estrutural está diretamente relacionado ao tipo de multiplicador adotado, uma vez que o multiplicador de Wallace emprega mecanismos de paralelismo para a realização das operações aritméticas de forma mais eficiente. Do ponto de vista de área, o valor obtido mostra-se adequado para uma implementação individual do bloco. Entretanto, essa área poderá ser reduzida com o auxílio de ferramentas auxiliares e técnicas adicionais de otimização, visando a diminuição da complexidade estrutural no layout final do modulador.

5.6 Integradores Digitais

A integração de sinais no domínio do tempo constitui uma tarefa complexa, porém amplamente empregada em diversos dispositivos e sistemas, integradores analógicos possuem uma utilidade reduzida quando se deseja medir a integral internamente em um período definido [3] [25], os integradores digitais por outro lado podem ser projetados fazendo uso de filtros digitais de média, mesmo aumentando as operações realizadas eles podem ser aprimorados através de mecanismo de velocidade computacional [3] [25]. Tal elemento é fundamental no processo de modulação sigma delta, deste modo, o processo dos integradores utilizados no PDSM, foram desenvolvidos considerando suas implicações lógicas. Em um processo analógico para se projetar tais circuitos leva-se em consideração detalhes precisos de teste, desde os transistores, capacitores e outros, assim as capacitâncias parasitas, reatâncias são extraídas ou minimizadas por meio de um processo de verificação. Em fluxo digital como mencionado nas seções anteriores tais processos ocorrem de maneira automática utilizando as ferramentas de design disponíveis no software, assim os integradores são implementados fazendo uso de registradores, somadores e outros que fazem as operações para N bits.

No trabalho [59] é apresentado um algoritmo digital rápido para utilização em processamento de amplos volumes de amostras, em que tais algoritmos baseiam-se na nas regras do retângulo e de Simpson, tais integradores foram desenvolvidos utilizando uma sequência de circuitos lógicos, fornecendo assim uma resposta mais rápida em termos de dados de entrada. O trabalho exposto em [60] trás um integrador desenvolvido utilizando uma linguagem de descrição de hardware, em que usa-se os parâmetros básicos de moduladores sigma delta, tendo uma resposta dentro dos resultados esperados. A partir de um contexto matemático cada integrador pode ser modelador como um acumulador discreto, cuja a equação geral é fornecida na Equação (5.10).

$$y[n] = y[n - 1] + x[n] \quad (5.10)$$

Este trabalho implementa dois integradores digitais por meio de um acumulador recursivo sincronizado por clock, os parâmetros do integrador foram desenvolvi-

dos com base nas equações recursivas da Seção 4.2, a segunda ordem do modulador é obtida pelo encadeamento de dois integradores idênticos, sendo o primeiro excitado pelo erro do laço e o segundo pela saída do primeiro estágio, a Figura 5.19 mostra a o bloco de implementação digital que compõe os integradores.

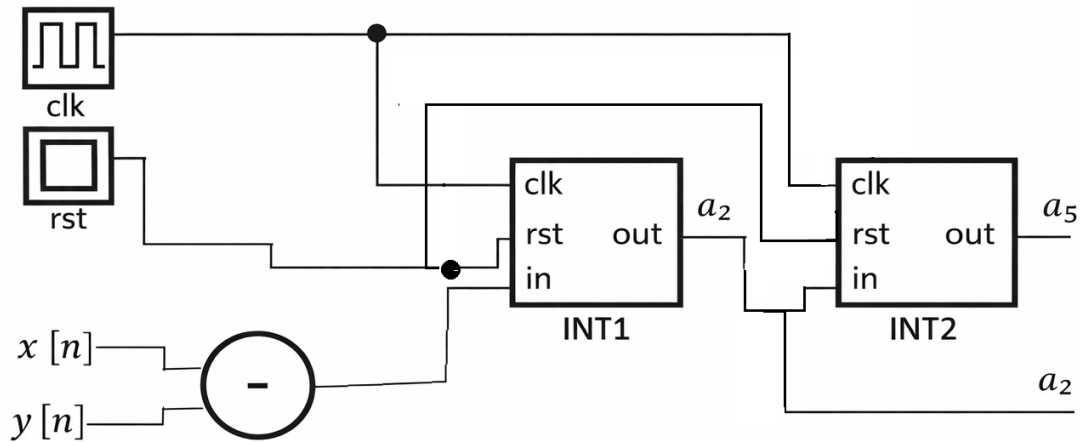


Figura 5.19: Bloco do circuito dos integradores digitais.

O circuito apresentado na figura é formado por diversas funções lógicas, sintetizadas em linguagem e descrição de hardware, em que tem-se os blocos aritméticos responsáveis pelas operações das variáveis de entrada e também as realimentação da saída, em que, as funções lógicas são compostas por seleção de dados que acumulam informações em um ciclo de clock que após esse processo geram os resultados para os EP's e ao comparador em um dado período.

5.6.1 Layouts dos Integradores

Em processos de fluxo Asic existem diferentes etapas, como já mencionado na seção 5.1, na ferramenta utilizada para o desenvolvimento dos layouts dos circuitos projetados esses passos são primordiais para a verificação e funcionamento do Chip, tratando-se de design digital, mesmo ocorrendo etapas de maneira automática, o processo é detalhado por uma série de informações correspondente ao nível de portas lógicas.

Os layouts apresentados, baseiam-se no modelo apresentado na Figura 5.19, os modelos usam as etapas presentes na Figura 5.20, isso para corresponder ao processo de fabricação específico para a confecção das camadas e sub camadas presentes

na elaboração em níveis de transistores CMOS, o que é apresentado por meio da ilustração é a parte inicial primeiramente verificando os requisitos, após isso a modelagem que contempla a parte de verificação funcional em RTL, depois ocorre a verificação funcional em nível de portas na síntese, posteriormente o posicionamento e roteamento das portas, fechamento do processo que conta com as etapas de DRC, LVS entre outras verificações, e então é gerado o gráfico de dados do sistema.

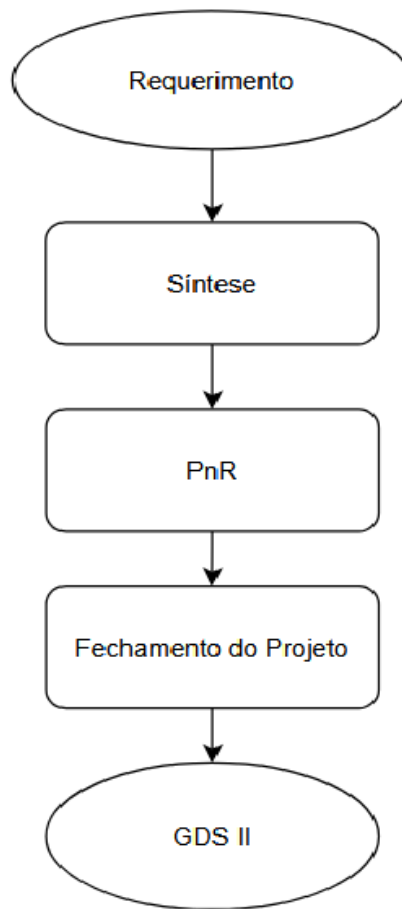


Figura 5.20: Verificação Funcional para Design de Circuitos Digitais.

O layout apresentado na Figura 5.21 corresponde aos integradores desenvolvidos utilizando a tecnologia de $0,13\ \mu\text{m}$, implementados a partir de uma abordagem de programação em que os circuitos baseados em lógica combinacional são diretamente derivados da arquitetura proposta para o modulador sigma-delta pseudo-paralelo.

A área total ocupada pelo layout é de $95,08\ \mu\text{m} \times 82,07\ \mu\text{m}$, valor que, quando comparado a outras arquiteturas de mesma configuração funcional, apresenta-se

relativamente elevado. Tal característica está associada, principalmente, ao número de células lógicas empregadas pelo sistema, as quais são necessárias para assegurar a correta prototipação e integração do circuito, minimizando eventuais problemas decorrentes de restrições de área no chip.

De maneira análoga aos layouts apresentados anteriormente, este modelo tem como objetivo servir como um comparativo individual do processo de integração adotado. Com base em dados reportados no estado da arte, observa-se que os resultados obtidos são compatíveis com aqueles apresentados por arquiteturas similares descritas na literatura.

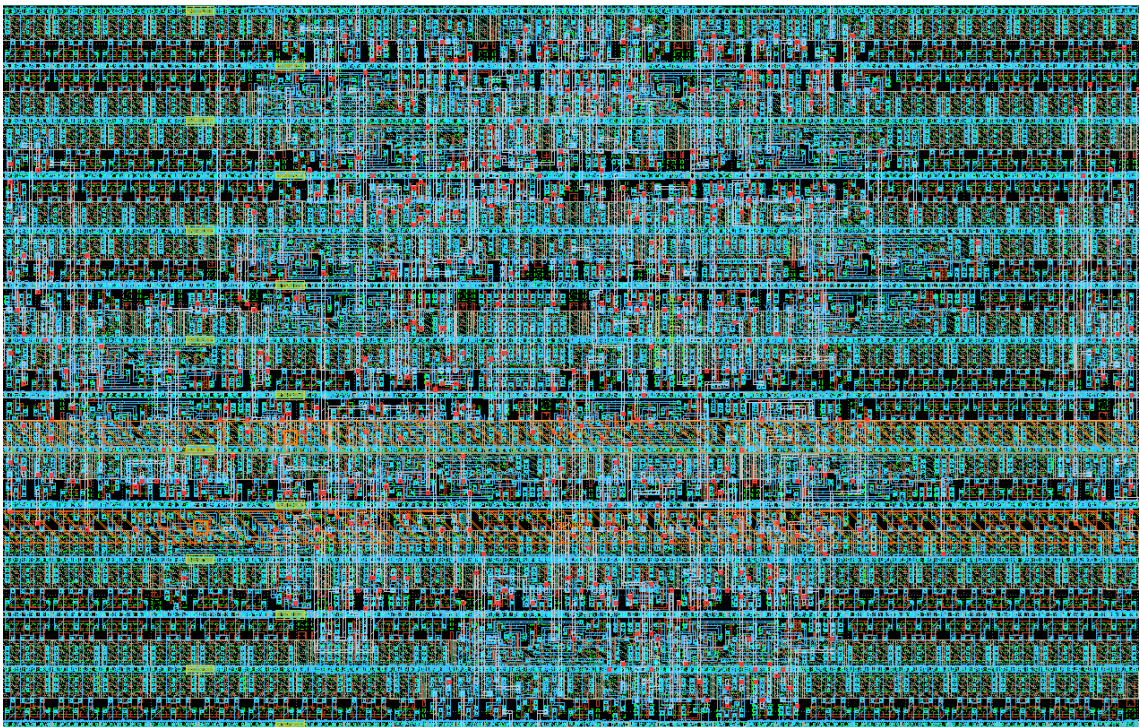


Figura 5.21: Layout dos integradores.

Dessa forma, a área final do circuito é justificada pelo uso da ferramenta de EDA empregada no fluxo de projeto. Ressalta-se que, em uma etapa posterior, essa área poderá ser otimizada e delimitada em função das dimensões finais do chip a ser efetivamente implementado.

Capítulo 6

Resultados e Discussões

O presente Capítulo aborda os resultados obtidos a partir do processo de modulação sigma-delta com processamento pseudo-paralelo aplicado a sinais OFDMA da rede de comunicação 5G NR. São discutidos o layout final gerado no fluxo de projeto digital, as análises comparativas de desempenho, as respostas do sistema considerando a tecnologia CMOS adotada e suas respectivas condições de operação, incluindo tensões de fabricação. Além disso, são realizadas comparações com trabalhos correlatos da literatura, situados no mesmo eixo temático, com o objetivo de evidenciar as contribuições e melhorias proporcionadas pela arquitetura proposta.

6.1 Layout final do PDSM

O layout final do PDSM desenvolvido é apresentado por meio da Figura 6.1, evidenciando as interconexões e as camadas metálicas responsáveis por gerenciar todo o modelo em uma área compacta. A organização estrutural contempla as células combinacionais, os registradores sequenciais e os buffers inseridos durante as etapas de otimização temporal, permitindo a consolidação do sistema. Após o processo completo de síntese lógica, mapeamento tecnológico e place and route, o circuito atingiu uma dimensão final aproximada de $129,68 \mu\text{m} \times 125,45 \mu\text{m}$, correspondendo a uma área total compatível com implementações reais na tecnologia CMOS empregada. Em termos de ocupação física, o relatório final gerado após rodar o fluxo em design digital, indica uma área próxima de $8,876 \mu\text{m}^2$ após as etapas de otimização e inserção de buffers para correção de fanout, o que demonstra

coerência entre a modelagem comportamental proposta e sua caracterização física em nível de layout.

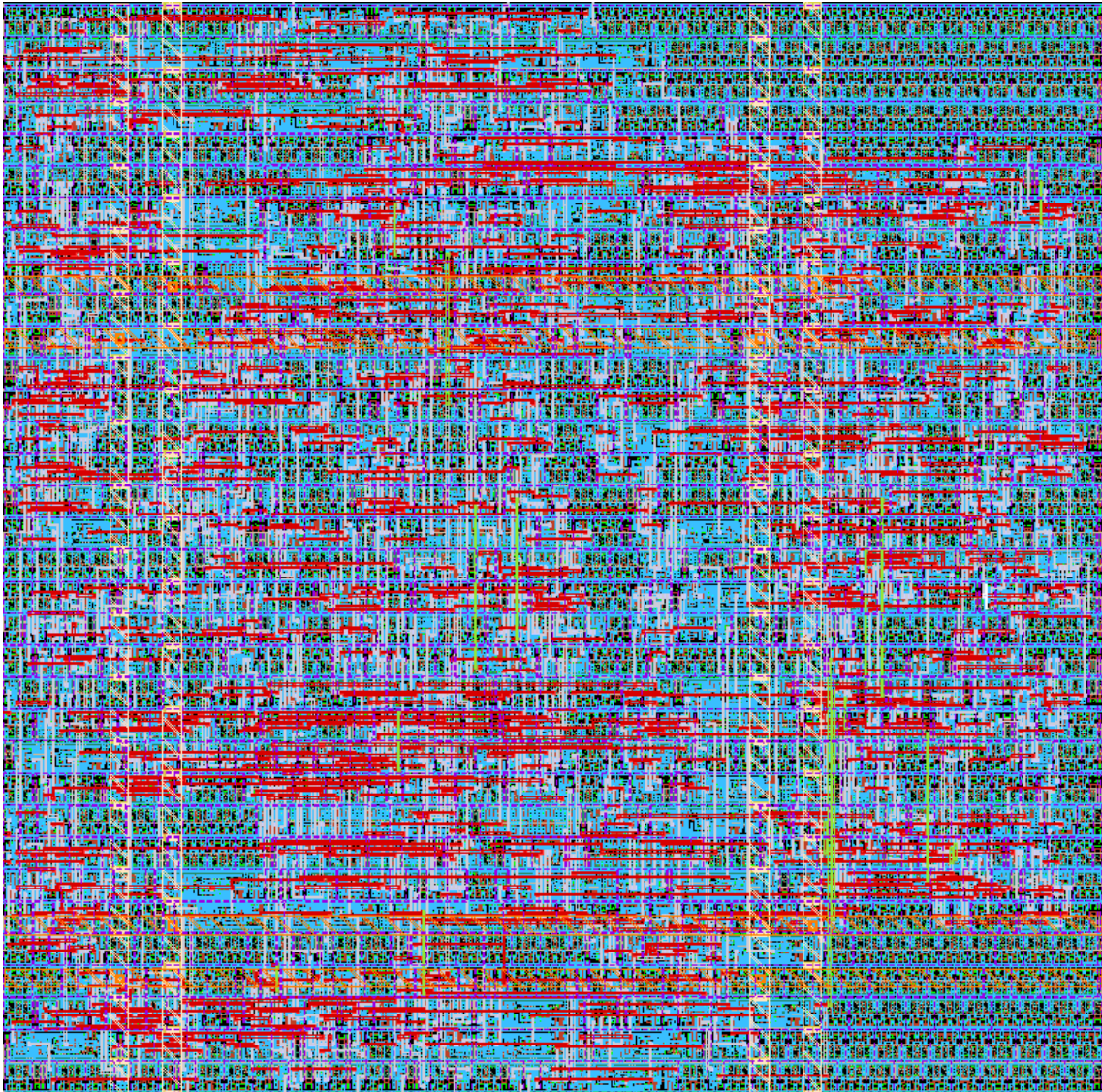


Figura 6.1: Layout do PDSM Completo.

O sistema final apresenta 33 elementos sequenciais, além de 593 células combinacionais multi-entrada, inversores e buffers adicionais inseridos automaticamente para ajuste de slew, capacitância e fanout. A inserção de 43 buffers durante a etapa de reparo de design demonstra a necessidade de adequação elétrica das redes críticas, garantindo integridade de sinal e conformidade com as restrições temporais impostas pelo clock do sistema, a Figura 6.2 apresenta o layout utilizando a ferramenta da OpenRoad para a verificação de dados físicos e temporais.

Após a extração parasitária típica do processo CMOS feita com o auxílio de ferramentas de design automático, os efeitos de capacitâncias distribuídas, re-

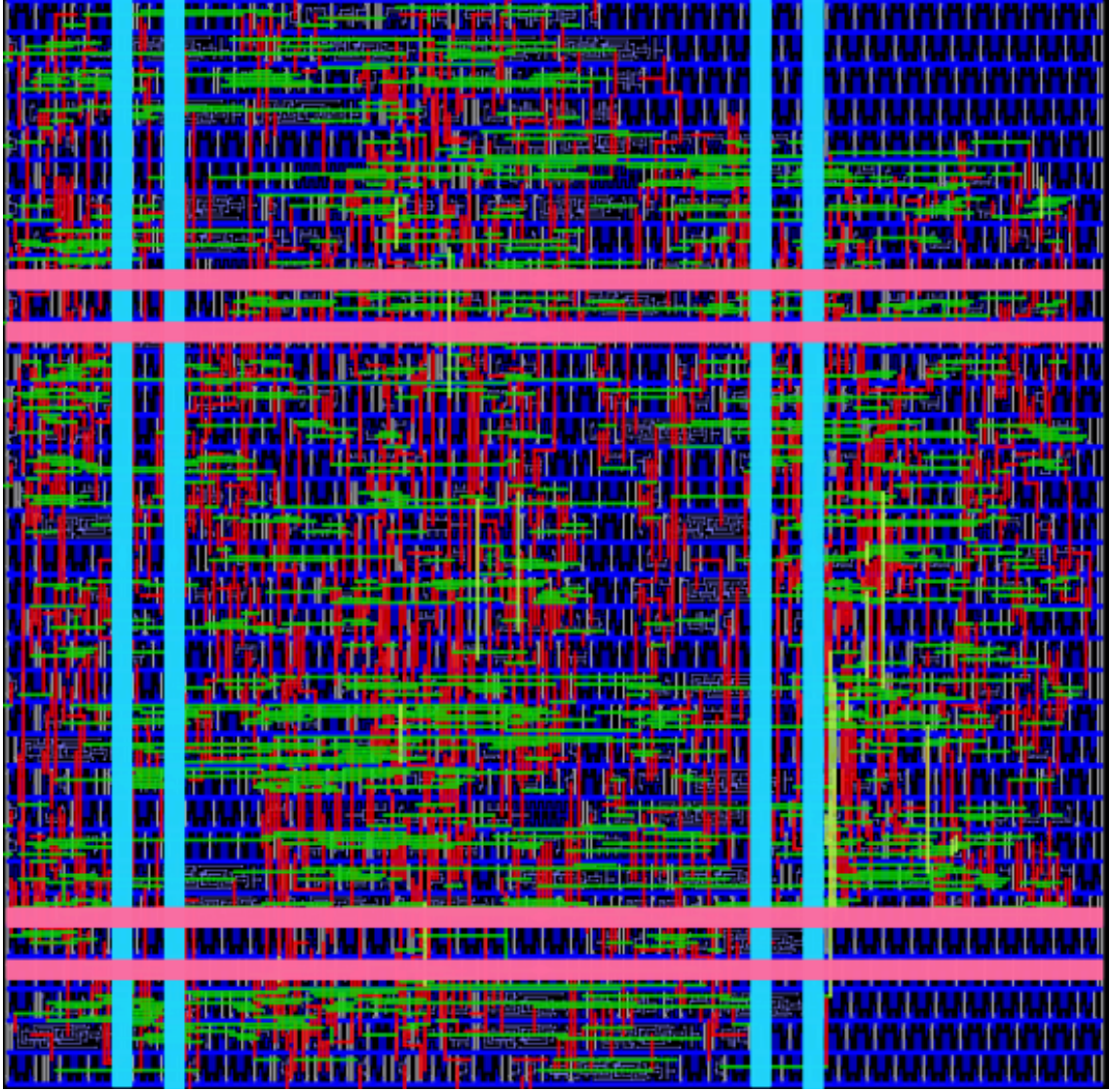


Figura 6.2: Layout do PSDM em estrutura de sintaxe lógica no OpenRoad.

sistências de interconexão e variações de processo foram considerados nas análises intermediárias de temporização, tais fatores contribuem diretamente para a resposta dinâmica do sistema, principalmente nos caminhos críticos que envolvem acumuladores, registradores e blocos de realimentação do modulador. Ainda assim, o desempenho obtido mantém coerência com a proposta da arquitetura do PDSM desenvolvido, demonstrando que a implementação física preserva as características teóricas previamente estabelecidas pelo comportamento do modelo matemático observado.

6.1.1 Análise Estática de Temporização (STA)

O modulador PDSM implementado foi submetido à Análise Estática de Temporização, considerando múltiplos cantos de processo (fast, slow e typical). Para

cada condição, foram avaliadas variações simultâneas de processo, tensão e temperatura, com tensões de alimentação de 1,32 V, 1,08 V e 1,20 V, respectivamente. Essa abordagem permite verificar o comportamento temporal do circuito diante das variações inerentes ao processo de fabricação CMOS.

Os resultados evidenciaram slack positivo tanto para as verificações de setup quanto de hold em todos os cenários analisados. O pior caso apresentou um Worst Negative Slack (WNS) mínimo de aproximadamente 0,12 ns, valor ainda positivo, indicando que o caminho crítico do circuito atende à restrição de período de clock estabelecida no projeto. Em termos físicos, isso significa que o atraso máximo de propagação permanece inferior ao período do sinal de clock, garantindo a integridade da amostragem sequencial e o correto funcionamento da arquitetura.

Após a etapa de repair timing, não foram observadas violações de temporização, nem excedentes de slew ou capacitância máxima nas redes do circuito. Isso demonstra que o balanceamento temporal e o dimensionamento dos buffers inseridos pelo fluxo automatizado foram suficientes para restaurar as margens de temporização sem comprometer a integridade elétrica do layout. Adicionalmente, o layout final foi validado por meio das verificações de DRC, LVS e análise de antena, todas concluídas sem erros. Esses resultados confirmam que a implementação física é consistente com o esquemático lógico e atende às regras tecnológicas do processo adotado.

A Tabela 6.1 apresenta o resumo das métricas obtidas na análise estática de temporização para cada canto de processo, evidenciando a robustez temporal da arquitetura proposta frente às variações PVT (processo, tensão e temperatura).

Tabela 6.1: Tabela do STA

Corner	Slack Setup	Slack Hold	Violações
Fast	0,12 ns	5 ns	0
Slow	0,63 ns	1,48 ns	0
Typ	0,30 ns	3,82 ns	0

6.2 Resposta em Frequência do Modulador Sigma-Delta Pseudo-Paralelo

Após a extração das informações por meio das ferramentas de projeto automatizado, tais como tempo de propagação, inserção de buffers e atrasos adicionais introduzidos pelo roteamento, esses parâmetros passaram a compor o conjunto de dados utilizados nas simulações do sistema. O objetivo foi aproximar a modelagem do comportamento real de operação do modulador, reduzindo a distância entre a descrição em nível comportamental e a implementação física.

Os parâmetros adotados não foram arbitrários, mas obtidos a partir de abstrações fundamentadas em simulações em nível de transistores. Nessas etapas, foram empregadas análises estatísticas do tipo Monte Carlo, com a finalidade de avaliar a influência das variações de processo, tensão e temperatura sobre o desempenho do circuito. Essa abordagem permitiu verificar a robustez das conexões implementadas e garantir que o conjunto atingisse um nível satisfatório de conformidade com o comportamento esperado. Ao integrar esses resultados ao modelo digital do modulador, tornou-se possível avaliar os impactos práticos decorrentes da implementação física, especialmente no que se refere a atrasos acumulados, dispersão temporal e possíveis degradações no desempenho espectral. Assim, considerando os diferentes níveis de implementação comportamental, lógico e físico, a análise apresentada na Figura 6.3 evidencia o comportamento do sistema após a etapa final de layout do modulador pseudo-paralelo. Essa análise pós-layout é fundamental, pois permite observar se as propriedades previstas teoricamente, como a conformação do ruído de quantização e a resposta associada às funções $STF(z)$ e $NFT(z)$, como resultados esperados o SNR teve uma queda em comparação com o comportamento ideal mas ainda dentro dos parâmetros estabelecidos para os sistemas com sinal OFDMA, o mesmo ocorre para o número efetivo de bits, mas permanecem coerentes mesmo após a inserção dos efeitos parasitários e das limitações tecnológicas inerentes ao processo CMOS adotado. Dessa forma, busca-se assegurar que o desempenho obtido em simulação ideal não se distancie de maneira significativa das condições reais de fabricação e operação do circuito. A Tabela 6.2 apresenta os resultados extraídos das simulações pós-layout, incorporando atrasos, efeitos parasitários e variações de processo

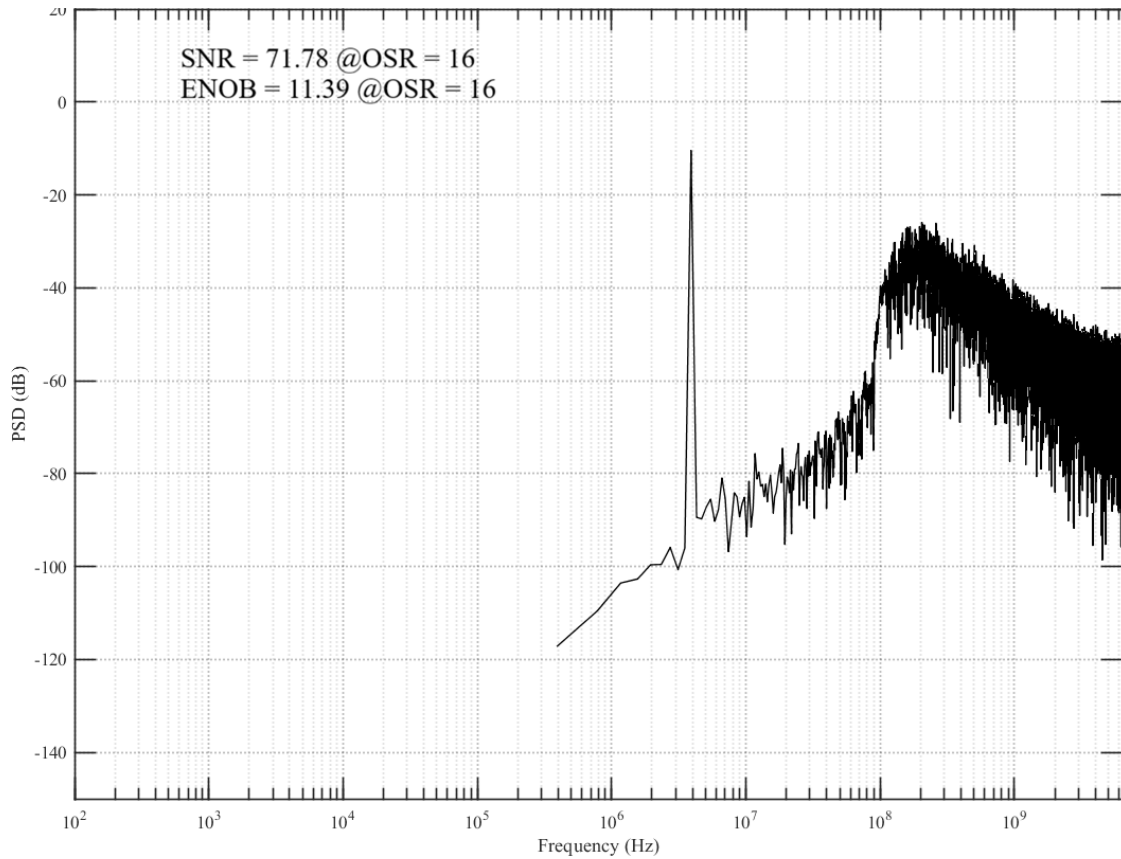


Figura 6.3: Resposta em Frequência Pós-layout PDSM.

consideradas no modelo.

Tabela 6.2: Resultado das Simulações de dados baseadas no Monte Carlo

SNR médio	SNR de desvio	$ENOB$ médio	$ENOB$ de desvio
72,84 dB	1,64 dB	11,81	0,33

A Figura 6.4, por sua vez, apresenta o gráfico da distribuição da relação sinal-ruído, obtida a partir das simulações estatísticas do tipo Monte Carlo. Essa abordagem permite avaliar a dispersão dos resultados diante das variações tecnológicas inerentes ao processo CMOS, evidenciando não apenas o valor médio do desempenho, mas também sua variabilidade e estabilidade.

A análise conjunta da Tabela 6.2 e da Figura 6.4 demonstra que o modulador pseudo-paralelo mantém desempenho consistente mesmo sob perturbações estatísticas dos parâmetros físicos.

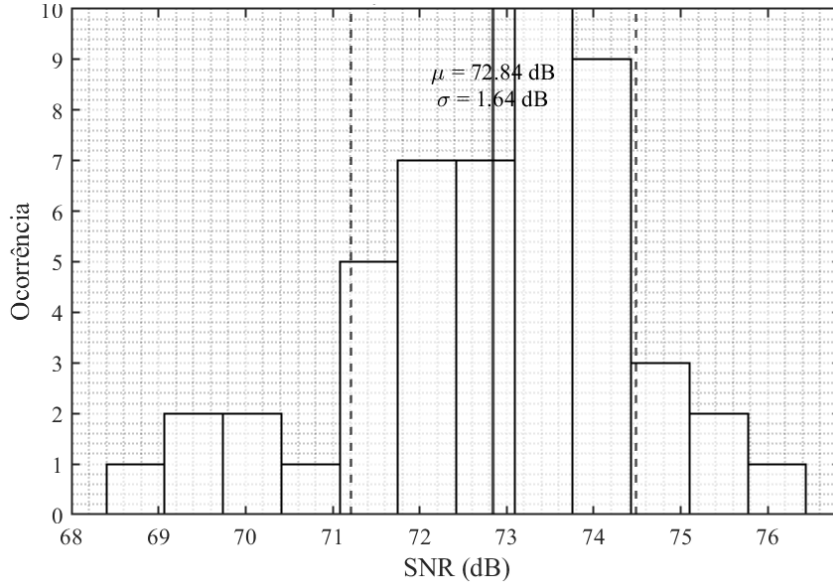


Figura 6.4: Distribuição do SNR no modelo Monte Carlo.

6.3 Comparação com trabalhos correlatos

A literatura apresenta diversos trabalhos relacionados à modulação sigma-delta, empregando diferentes técnicas e abordagens conforme a aplicação pretendida. Alguns estudos aplicam esse processo à aquisição de sinais biomédicos, como no caso de sistemas voltados ao processamento de sinais de eletroencefalograma, nos quais a ênfase está na elevada resolução e na rejeição de ruído em baixas frequências. Outros trabalhos exploram a modulação sigma-delta em aplicações de radiofrequência, buscando desempenho adequado em bandas mais amplas e maior eficiência espectral.

Entretanto, ao se analisar comparativamente essas contribuições, observa-se que, na maioria dos casos, os moduladores são predominantemente analógicos ou baseados em arquiteturas de sinal misto. Embora tais soluções apresentem elevado desempenho, elas envolvem desafios associados à variação de parâmetros analógicos, sensibilidade a ruído e complexidade de integração em processos CMOS avançados.

Outro aspecto relevante para comparação é o tipo de sinal empregado. No contexto das redes de comunicação de quinta geração, especialmente no padrão New Radio, é usada a técnica de acesso múltiplo por divisão ortogonal de frequência, caracterizada por larga largura de banda e elevada densidade espectral. Os trabalhos apresentados na Tabela 6.3 utilizam sinais com características semelhantes

em termos de largura de banda e faixa de frequência. A métrica de Relação Sinal Ruído e compara em termos de análise do sinal empregado, além disso, nota-se que muitos desses estudos concentram-se na validação funcional ou em prototipagem em FPGA, priorizando resultados de simulação e demonstração experimental. Embora frequentemente mencionem a tecnologia de fabricação adotada, poucos discutem de maneira detalhada a etapa de implementação física, incluindo métricas de área, análise de temporização e fechamento de layout.

Em fluxos digitais completos, é comum priorizar a simulação comportamental e a prototipagem como etapas preliminares. Entretanto, este trabalho diferencia-se ao não se limitar à avaliação da qualidade do sinal modulado, mas também ao considerar a implementação física da arquitetura proposta.

Foram analisados aspectos de área, temporização e viabilidade de layout, demonstrando que o sistema sigma-delta pseudo-paralelo proposto não apenas atende aos requisitos de desempenho em termos de SNR e largura de banda, como também apresenta consistência estrutural para implementação em tecnologia CMOS.

Tabela 6.3: Trabalhos Correlatos

Parâmetro	[61]	[33]	[2]	[1]	[Este Trabalho]
Tipo de Modulador	$\Sigma\Delta$ 2ª Ordem	$\Sigma\Delta$ 4ª Ordem	$\Sigma\Delta$ Paralelo	$\Sigma\Delta$ 2ª Ordem	PDSM
ENOB	5,02 ^e	4,55 ^e	8	N/A	11.39
Tipo de Sinal	OFDM - RoF	5G NR	OFDM - 5G NR	5G NR	OFDMA - 5G NR
Largura de Banda	46,08 MHz	500 MHz	100 MHz	400 MHz	100 MHz
SNR	32 ^e dB	29,1 dB	46,32 dB	26.02 ^e dB dB	71,78 dB
OSR	32 ^e	100 ^e	12	16 ^e	16
Resultados	Medido	Medido	Esquemático	Medido	Pós-layout

^e= valores estimados

N/A= não aplicável

Os valores identificados pela letra *e* acima do dado apresentado indicam que a informação original não foi explicitamente fornecida no respectivo trabalho. Nesses casos, para fins de comparação, o parâmetro foi estimado por meio de cálculo, com base nos dados disponíveis ou em relações teóricas consolidadas na literatura. Essa abordagem permite estabelecer um critério comparativo mais uniforme entre os diferentes modelos analisados, ampliando o panorama de avaliação e garantindo maior coerência na interpretação dos resultados frente à proposta desenvolvida neste trabalho.

Capítulo 7

Conclusão

Este trabalho teve como finalidade o desenvolvimento de um modulador sigma-delta com processamento pseudo-paralelo aplicado a sinais da rede de comunicação 5G NR, utilizando modulação OFDMA como sinal de entrada. A proposta foi estruturada a partir do desenvolvimento da arquitetura do PDSM, contemplando não apenas sua modelagem comportamental, mas também os aspectos relacionados ao projeto físico de circuitos integrados digitais. O fluxo de implementação foi conduzido com ferramentas open source IHP, empregando ferramentas de automação de projeto em conjunto com a linguagem de descrição de hardware SystemVerilog.

O layout gerado apresentou estruturas compatíveis com os parâmetros esperados para a tecnologia CMOS de $0,13\ \mu\text{m}$, resultando em uma área total de $8,876\ \mu\text{m}^2$. O projeto foi submetido às verificações físicas de DRC e LVS, sendo aprovado em ambas as etapas. Esses resultados evidenciam a consistência entre a modelagem lógica e a implementação física, permitindo que o circuito esteja apto às etapas subsequentes de fabricação. A modelagem do sistema foi validada por meio de simulações realizadas antes e após a etapa de layout, demonstrando coerência entre os resultados ideais e pós-síntese, o que confirma a viabilidade técnica da arquitetura proposta.

Embora tenham sido observados atrasos associados aos circuitos sequenciais e registradores, os índices de desempenho permaneceram dentro do esperado e em conformidade com a literatura. A análise estática de temporização indicou que, mesmo no corner mais crítico (Fast), com período mínimo de 12 ns, o circuito operou dentro dos limites estabelecidos, evidenciando adequada relação entre atraso

de propagação, interconexões e frequência de operação. Esse resultado reforça que o balanceamento entre lógica combinacional e elementos sequenciais foi satisfatório para a aplicação pretendida.

Do ponto de vista de desempenho espectral, a utilização adequada dos coeficientes estruturais do modulador contribuiu para que a relação sinal-ruído atingisse 71,78 dB, valor compatível com o contexto de aplicação do PDSM em sistemas de comunicação de alta taxa de dados. O número efetivo de bits apresentou variações dentro da faixa prevista teoricamente, mantendo o sistema estável e eficiente quando comparado a trabalhos de mesma linha de pesquisa. Esses resultados confirmam que a modelagem da função de transferência do sinal e do ruído característica fundamental de moduladores sigma-delta foi preservada após a implementação física.

As principais contribuições deste trabalho concentram-se na consolidação do fluxo completo de projeto ASIC aplicado a uma arquitetura sigma-delta pseudo-paralela, desde a modelagem comportamental até a geração do layout validado em tecnologia CMOS. Destaca-se, ainda, a aplicação do sistema a sinais com elevada frequência de amostragem, característica típica de sistemas baseados em OFDMA no contexto do 5G NR. Esse cenário impõe desafios relacionados a temporização, consumo de área e integridade de sinal, especialmente em arquiteturas digitais de maior complexidade. Dessa forma, o sistema proposto demonstra potencial para aplicações que demandam processamento eficiente de dados em ambientes de comunicação de alta taxa e elevada densidade de integração, esta dissertação rendeu um artigo que foi submetido para o Symposium on Integrated Circuits and Systems Design (SBCCI) a ser realizado em Agosto de 2026.

7.1 Trabalhos Futuros

As propostas para o prosseguimento desta dissertação podem ser organizadas nos seguintes eixos de desenvolvimento:

- Implementar um sistema completo de conversão de dados na saída do PDSM, a fim de avaliar a resposta do circuito em nível de sinal reconstruído.
- Desenvolver blocos analógicos complementares para possibilitar a avaliação do sistema desde o domínio natural do sinal até sua representação em frequência

após o processo de modulação.

- Realizar a fabricação do modulador sigma-delta pseudo-paralelo, visando obter resultados experimentais consistentes e comparáveis aos dados simulados.
- Ampliar as análises comparativas em nível de frequência, confrontando o desempenho do modulador com arquiteturas aplicadas a sistemas de comunicação compatíveis, especialmente em cenários que utilizem múltiplas subportadoras e elevada taxa de amostragem.
- Investigar estratégias de otimização de área, com o objetivo de integrar novos elementos arquiteturais que contribuam para a melhoria do tempo de resposta e da margem de temporização associada às bordas de clock.

Referências Bibliográficas

- [1] HADI, M. U., BASIT, A., KHURSHID, K., “MIMO Enabled MultiBand 5G NR FiberWireless using Sigma Delta over FiberTechnology”. In: *2021 International Bhurban Conference on Applied Sciences and Technologies (IBCAST)*, pp. 1007–1010, 2021.
- [2] OTHMANI, M., BOULEJFEN, N., TURUNEN, M., et al., “Parallel Delta-Sigma Modulator-Based Digital Predistortion of Wideband RF Power Amplifiers”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 70, n. 2, pp. 705–718, 2023.
- [3] SCHREIER, R., TEMES, G. C., *Understanding Delta-Sigma Data Converters*. John Wiley & Sons, 2005.
- [4] JIAN, Y.-H., WEI, T.-C., CHOW, C.-W., “High Efficient Delta-Sigma Modulator Utilizing Multi-Stage Noise Shaping Structure”, *Journal of Lightwave Technology*, v. 42, n. 8, pp. 2693–2701, 2024.
- [5] GALTON, I., JENSEN, H., “Oversampling parallel delta-sigma modulator A/D conversion”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 43, n. 12, pp. 801–810, 1996.
- [6] BLAD, A., JOHANSSON, H., LOWENBORG, P., “A General Formulation of Analog-to-Digital Converters Using Parallel Sigma-Delta Modulators and Modulation Sequences”. In: *APCCAS 2006 - 2006 IEEE Asia Pacific Conference on Circuits and Systems*, pp. 438–441, 2006.
- [7] BEZERRA, T. B., *Circuitos Digitais e Mistos CMOS com aplicação em medidor de energia*, Tese de Doutorado, Universidade Federal do Rio de Janeiro, COPPE, Rio de Janeiro, jun 2017.

- [8] BAKER, R. J., *CMOS: Mixed-Signal Circuit Design*. 2nd ed. IEEE Press; Wiley: Hoboken, NJ, 2008.
- [9] HATAMI, S., HELAOUI, M., GHANNOUCHI, F. M., et al., “Single-Bit Pseudoparallel Processing Low-Oversampling Delta-Sigma Modulator Suitable for SDR Wireless Transmitters”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 22, n. 4, pp. 922–931, 2014.
- [10] JOHANSSON, J., SVENSSON, L., “A Novel Speculative Pseudo-Parallel $\Delta\Sigma$ Modulator”. In: *32nd NORCHIP*, 2014, Art. no. 7004712, disponível em Chalmers Publication Library.
- [11] ANGELOV, K., SADINOV, S., KOGIAS, P., “Modelling and Study of the Downlink Physical Layer in 5G NR Mobile Network”. In: *2022 International Conference on Communications, Information, Electronic and Energy Systems (CIEES)*, pp. 1–4, 2022.
- [12] VOOK, F. W., GHOSH, A., DIARTE, E., et al., “5G New Radio: Overview and Performance”. In: *2018 52nd Asilomar Conference on Signals, Systems, and Computers*, pp. 1247–1251, 2018.
- [13] LI, J., CHEN, X., BOTELLA, C., et al., “Resource allocation for OFDMA systems with multi-cell joint transmission”. In: *2012 IEEE 13th International Workshop on Signal Processing Advances in Wireless Communications (SPAWC)*, pp. 179–183, 2012.
- [14] XIONG, H., BODANESE, E., “A signal strength based medium access control for OFDMA based wireless ad hoc networks”. In: *2011 18th International Conference on Telecommunications*, pp. 439–443, 2011.
- [15] “3GPP Specification #25.892 – Feasibility study for Orthogonal Frequency Division Multiplexing (OFDM) for UTRAN enhancement”, <https://portal.3gpp.org/desktopmodules/Specifications/SpecificationDetails.aspx?specificationId=1325>, 2025, Acesso em outubro de 2025.

- [16] KAZMI, S. M. A., TRAN-NGUYEN, H.-H., KHAN, L. U., et al., *Network Slicing for 5G and Beyond Networks*. Springer, 2019.
- [17] SHAHEN SHAH, A. F. M., “A Survey From 1G to 5G Including the Advent of 6G: Architectures, Multiple Access Techniques, and Emerging Technologies”. In: *2022 IEEE 12th Annual Computing and Communication Workshop and Conference (CCWC)*, pp. 1117–1123, 2022.
- [18] SÁNCHEZ, J., BEN YAHIA, I. G., CRESPI, N., et al., “Softwarized 5G networks resiliency with self-healing”. In: *1st International Conference on 5G for Ubiquitous Connectivity*, pp. 229–233, 2014.
- [19] LIM, C., RANAWEERA, C., TAO, Y., et al., “Past and Future Development of Radio-Over-Fiber”, *Journal of Lightwave Technology*, v. 43, n. 4, pp. 1525–1541, 2025.
- [20] MUSTOFA, A., EDY PURNOMO, M. F., TALCHA KRUSBEEK ORRI-LIA AUDRE, A., “Optimization of 5G NR Network Based on Performance of 4G LTE Network in Area of Universitas Brawijaya Malang”. In: *2022 11th Electrical Power, Electronics, Communications, Controls and Informatics Seminar (EECCIS)*, pp. 229–233, 2022.
- [21] MAKKAR, R., RAWAL, D., SHARMA, N., et al., “Performance Analysis of Hybrid NOMA-OMA Scheme for 5G NR System”. In: *2020 IEEE 17th India Council International Conference (INDICON)*, pp. 1–6, 2020.
- [22] PROAKIS, J. G., SALEHI, M., *Digital Communications*. 5th ed. McGraw-Hill Higher Education: New York, 2008.
- [23] HUYNH, V.-T.-D., NOELS, N., ROMBOUTS, P., et al., “Effect of Time-Interleaved Analog-to-Digital Converter Mismatches on OFDM Performance”. In: *OFDM 2014; 18th International OFDM Workshop 2014 (InOWo’14)*, pp. 1–8, 2014.
- [24] WEISS, T. A., JONDRAL, F. K., “Spectrum Pooling: An Innovative Strategy for the Enhancement of Spectrum Efficiency”, *IEEE Communications Magazine*, v. 42, n. 4, pp. 8–14, March 2004.

- [25] NORSWORTHY, S. R., SCHREIER, R., TEMES, G. C., (eds), *Delta-Sigma Data Converters: Theory, Design, and Simulation*. IEEE Press: New York, 1997.
- [26] BONTHALA, S., UPPOOR, Y., NAYAK, A., et al., “Design of High Resolution Delta Sigma Modulator in 180 nm CMOS technology”. In: *2019 9th International Symposium on Embedded Computing and System Design (ISED)*, pp. 1–6, 2019.
- [27] CHEREPANOV, A. A., SHLEMIN, D. L., “The 5th Order Single-Bit Sigma-Delta Modulator with Passive Adder Design”. In: *2024 IEEE 25th International Conference of Young Professionals in Electron Devices and Materials (EDM)*, pp. 460–463, 2024.
- [28] KOZLOV, A. S., PILIPKO, M. M., “A Second-order Sigma-delta Modulator with a Hybrid Topology in 180nm CMOS”. In: *2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, pp. 144–146, 2020.
- [29] PRASAD P, R., CHAKRASALI, S. V., NAGABUSHANAM, M., et al., “Design and Implementation of Delta-Sigma Modulator using Simulink”. In: *2024 Global Conference on Communications and Information Technologies (GCCIT)*, pp. 1–5, 2024.
- [30] HELAOUI, M., HATAMI, S., NEGRA, R., et al., “A Novel Architecture of Delta-Sigma Modulator Enabling All-Digital Multiband Multistandard RF Transmitters Design”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 55, n. 11, pp. 1129–1133, 2008.
- [31] ARNALDI, I., *Design of Sigma-Delta Converters in MATLAB®/Simulink®*. Springer: Cham, 2019.
- [32] LI, Y., DAI, L., “Design of readout circuit for gas Sensors”. In: *2024 4th International Conference on Electronics, Circuits and Information Engineering (ECIE)*, pp. 106–109, 2024.

- [33] LI, H., VERPLAETSE, M., VERBIST, J., et al., “Real-Time 100-GS/s Sigma-Delta Modulator for All-Digital Radio-Over-Fiber Transmission”, *Journal of Lightwave Technology*, v. 38, n. 2, pp. 386–393, 2020.
- [34] SOMAPPA, L., BAGHINI, M. S., “A 345 nW Power Continuous Time Delta Sigma Modulator for Biomedical Applications”. In: *2020 IEEE 17th India Council International Conference (INDICON)*, pp. 1–4, 2020.
- [35] LI, D., QIAN, X., LI, R., et al., “High Resolution ADC for Ultrasound Color Doppler Imaging Based on MASH Sigma-Delta Modulator”, *IEEE Transactions on Biomedical Engineering*, v. 67, n. 5, pp. 1438–1449, 2020.
- [36] JIAN, Y.-H., CHEN, J.-W., WANG, C.-C., et al., “High Spectral Efficient Free-Space Optical Communication Using Multi-Stage Noise Shaping Delta-Sigma Modulation With Partial Transmit Sequence Algorithm and Arithmetic Coding”, *Journal of Lightwave Technology*, v. 42, n. 19, pp. 6767–6773, 2024.
- [37] WANG, Y., “A class-S RF amplifier architecture with envelope delta-sigma modulation”. In: *Proceedings RAWCON 2002. 2002 IEEE Radio and Wireless Conference (Cat. No.02EX573)*, pp. 177–179, 2002.
- [38] WU, X., CHOULIARAS, V. A., NUNEZ-YANEZ, J. L., et al., “A Novel $\Delta\Sigma$ Control System Processor and Its VLSI Implementation”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 16, n. 3, pp. 217–228, 2008.
- [39] MARIN, R.-C., FRAPPÉ, A., KAISER, A., “Delta-sigma based digital transmitters with low-complexity embedded-FIR digital to RF mixing”. In: *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 237–240, 2016.
- [40] RODE, J., HINRICHS, J., ASBECK, P., “Transmitter architecture using digital generation of RF signals”. In: *Radio and Wireless Conference, 2003. RAWCON '03. Proceedings*, pp. 245–248, 2003.

- [41] GALTON, I., JENSEN, H., “Delta-Sigma modulator based A/D conversion without oversampling”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 42, n. 12, pp. 773–784, 1995.
- [42] KING, E., ESHRAGHI, A., GALTON, I., et al., “A Nyquist-rate delta-sigma A/D converter”, *IEEE Journal of Solid-State Circuits*, v. 33, n. 1, pp. 45–52, 1998.
- [43] KHOINI-POORFARD, R., LIM, L., JOHNS, D., “Time-interleaved oversampling A/D converters: theory and practice”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 44, n. 8, pp. 634–645, 1997.
- [44] JABBOUR, C., CAMARERO, D., NGUYEN, V. T., et al., “A 1 V 65 nm CMOS reconfigurable time interleaved high pass ADC”. In: *2009 IEEE International Symposium on Circuits and Systems*, pp. 1557–1560, 2009.
- [45] DAHLMAN, E., PARKVALL, S., SKOLD, J., *5G NR: The Next Generation Wireless Access Technology*. Academic Press, 2018.
- [46] ANDREWS, J. G., BUZZI, S., CHOI, W., et al., “What Will 5G Be?” *IEEE Journal on Selected Areas in Communications*, v. 32, n. 6, pp. 1065–1082, 2014.
- [47] YU, Z., REDFERN, A. J., ZHOU, G. T., “Using delta-sigma modulators in visible light OFDM systems”. In: *2014 23rd Wireless and Optical Communication Conference (WOCC)*, pp. 1–5, 2014.
- [48] DE LA ROSA, J. M., “Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 58, n. 1, pp. 1–21, 2011.
- [49] UNIC-CASS, “Digital Design Flow – Introduction”, 2025.
- [50] LIBRELANE PROJECT, “Getting Started: Newcomers”, 2025.
- [51] WANG, Z., YOU, H., WANG, J., et al., “Optimization of Multiplexer Combination in RTL Logic Synthesis”. In: *2023 International Symposium of Electronics Design Automation (ISED)*, pp. 121–125, 2023.

- [52] MANO, M. M., *Digital Design*. 3rd ed. Prentice Hall: Englewood Cliffs, NJ, 1995.
- [53] KUMAR, A., KUMAR, M., “Improved design of CMOS 1-bit comparator with stacking technique”. In: *2017 2nd International Conference on Telecommunication and Networks (TEL-NET)*, pp. 1–5, 2017.
- [54] NERURKAR, S., ABED, K., “Low-power decimator design using approximated linear-phase N-band IIR filter”, *IEEE Transactions on Signal Processing*, v. 54, n. 4, pp. 1550–1553, 2006.
- [55] GERASTA, O. J. L., VILLARUZ, H., CAGADAS, D. O., “Design of 18-bit decimator for sigma-delta analog to digital converter with variable oversampling rate for audio application”. In: *2014 International Conference on Humanoid, Nanotechnology, Information Technology, Communication and Control, Environment and Management (HNICEM)*, pp. 1–6, 2014.
- [56] MANKANI, S. K., SAJJANAR, S., MOHANA, et al., “Power and area optimization of decimation filter for application in Sigma Delta ADC”. In: *2016 International Conference on Circuits, Controls, Communications and Computing (I4C)*, pp. 1–5, 2016.
- [57] RAM, G. C., RANI, D. S., BALASAIKESAVA, R., et al., “Design of delay efficient modified 16 bit Wallace multiplier”. In: *2016 IEEE International Conference on Recent Trends in Electronics, Information Communication Technology (RTEICT)*, pp. 1887–1891, 2016.
- [58] TAILOR, P. K., RAJ, B., GILL, S. S., “A Performance Comparison Review of Multiplier Designs”. In: *2022 IEEE 9th Uttar Pradesh Section International Conference on Electrical, Electronics and Computer Engineering (UPCON)*, pp. 1–6, 2022.
- [59] CHERNOYAROV, O., GLUSHKOV, A., MYAT SAN, K., et al., “High-Speed Digital Signal Integrator”. In: *2021 13th International Conference on Measurement*, pp. 56–59, 2021.

- [60] TSECHELIDOU, C., GEORGOULOPOULOS, N., HATZOPOULOS, A., “Design of a SystemVerilog-Based Sigma-Delta ADC Real Number Model”. In: *2019 22nd Euromicro Conference on Digital System Design (DSD)*, pp. 124–128, 2019.
- [61] VANDIERENDONCK, A., CHIU, K.-L., MEYSMANS, C., et al., “A Bi-Directional Distributed Multi-User MIMO Testbed Using Digital Sigma-Delta-Over-Fiber”, *Journal of Lightwave Technology*, v. 43, n. 4, pp. 1595–1603, Feb. 2025, (Invited Paper).